

Hardwarepraktikum WS05/06

Sven Eckelmann

12.01.2006

Inhaltsverzeichnis

1	Versuch Komb1	1
1.1	NAND-NAND-Realisierung	1
1.2	NOR-NOR-Realisierung	1
1.3	Schaltung	2
1.4	VHDL	2
1.5	Binäre Simulation	4
1.5.1	Stimulus	4
1.5.2	Simulation	4
1.6	Ternäre Simulation	4
1.6.1	Stimulus	4
1.6.2	Simulation	5
1.7	Verdrahtung	6
2	Versuch Komb2	7
2.1	8-zu-1-Multiplexer-Realisierung	7
2.2	4-zu-1-Multiplexer-Realisierung	7
2.3	Schaltung	8
2.4	VHDL	8
2.5	Binäre Simulation	10
2.5.1	Stimulus	10
2.5.2	Simulation	10
2.6	Ternäre Simulation	10
2.6.1	Stimulus	10
2.6.2	Simulation	11
2.7	Binärer Stimulus minimaler Länge	11
2.7.1	Transportbedingungen	11
2.7.2	Überdeckungstabelle	12
2.7.3	vereinfachte Überdeckungstabelle	12
2.7.4	Stimulus	12
2.8	Verdrahtung	13

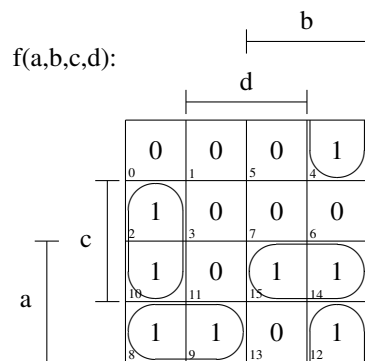
3	Versuch Komb3	15
3.1	CLA-Realisierung	15
3.2	Schaltung CLA	16
3.3	VHDL	16
3.4	Binäre Simulation	18
3.5	Binärer Stimulus minimaler Länge	18
3.6	Zeitverhalten	19
3.7	Verdrahtung	19
3.7.1	CLA	19
3.7.2	Ripple-Carry-Adder	20
4	Versuch Sequ1	21
4.1	Untersuchung zweier statischer D-Flipflops	21
4.1.1	Simulation ohne Berücksichtigung zeitlichen Verhaltens	21
4.1.2	Simulation mit Berücksichtigung zeitlichen Verhaltens	21
4.2	Flipflop-Substitution	21
4.2.1	Substitution	21
4.2.2	Schaltung	22
4.3	VHDL	22
4.4	Simulation D-Flipflops	24
4.4.1	Binäre Stimulusfolge	24
4.4.2	Binäre Simulation	24
4.4.3	Ternäre Stimulusfolge	24
4.4.4	Ternäre Simulation	25
4.5	Simulation JK-Flipflop	25
4.5.1	Binäre Stimulusfolge	25
4.5.2	Binäre Simulation	26
4.5.3	Ternäre Stimulusfolge	26
4.5.4	Ternäre Simulation	27
4.6	Simulation JK-MS-Flipflop	27
4.6.1	Binäre Stimulusfolge	27
4.6.2	Binäre Simulation	28
4.6.3	Ternäre Stimulusfolge	29
4.6.4	Ternäre Simulation	29
4.7	Verdrahtung	31
4.7.1	statische D-Flipflops	31
4.7.2	Flipflop-Substitution	32
5	Versuch Sequ2	33
5.1	RS-Realisierbare Funktionen	33
5.1.1	Rücksetzen in den Zustand 00	33
5.1.2	Laden einer 2-Bit-Zahl	33
5.1.3	Superposition	33
5.2	JK-Realisierbare Funktionen	34
5.2.1	Vorwärtszählen	34
5.2.2	Einerkomplement	34
5.2.3	Superposition	34
5.2.4	Schaltung	35
5.3	VHDL	35
5.4	Simulation	37

5.4.1	Binäre Stimulusfolge	37
5.4.2	Binäre Simulation	38
5.4.3	Ternäre Stimulusfolge	38
5.4.4	Ternäre Simulation	39
5.5	Verdrahtung	40
6	Versuch Sequ3	41
6.1	SAR	41
6.2	Schaltung	42
6.3	VHDL	43
6.4	Simulation	44
6.4.1	Binäre Stimulusfolge	44
6.4.2	Binäre Simulation	44
6.4.3	Ternäre Stimulusfolge	45
6.4.4	Ternäre Simulation	45
6.5	Verdrahtung	46

1 Versuch Komb1

a	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
b	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
c	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
d	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
y	0	0	1	0	1	0	0	0	1	1	1	0	1	0	1

1.1 NAND-NAND-Realisierung

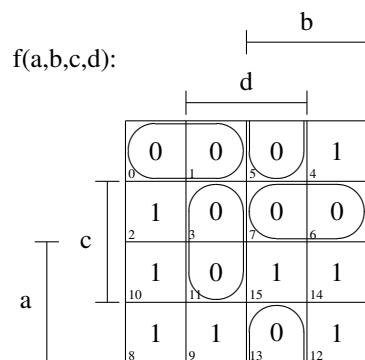


$$y = abc + \overline{bcd} + b\overline{cd} + a\overline{bc}$$

$$y = \overline{\overline{abc + \overline{bcd} + b\overline{cd} + a\overline{bc}}}$$

$$y = \overline{(\overline{abc}) * (\overline{\overline{bcd}}) * (\overline{b\overline{cd}}) * (\overline{a\overline{bc}})}$$

1.2 NOR-NOR-Realisierung

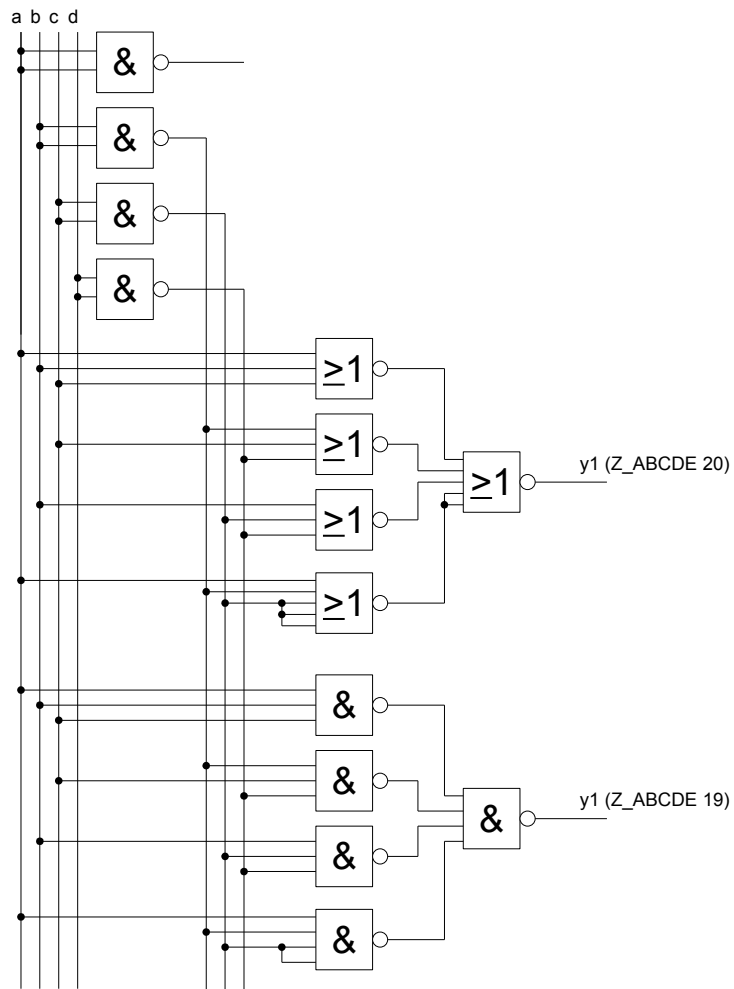


$$y = (a + b + c) * (\overline{b} + c + \overline{d}) * (b + \overline{c} + \overline{d}) * (a + \overline{b} + \overline{c})$$

$$y = \overline{\overline{(a + b + c) * (\overline{b} + c + \overline{d}) * (b + \overline{c} + \overline{d}) * (a + \overline{b} + \overline{c})}}$$

$$y = \overline{(\overline{a + b + c}) + (\overline{\overline{b} + c + \overline{d}}) + (\overline{b + \overline{c} + \overline{d}}) + (\overline{a + \overline{b} + \overline{c}})}$$

1.3 Schaltung



1.4 VHDL

```
library ieee;  
use ieee.std_logic_1164.all;  
use work.pack_2.all;  
  
entity uut is  
  port (x_fghij : in X01_vector(20 downto 13);  
        z_abcde : out X01_vector(20 downto 13));  
end uut;  
  
architecture structure of uut is
```

```

component sn7400 -- 2er-nand
  port (x : in X01_vector (1 to 2);
        y : out X01);
end component;
component sn7427 is -- 3er-nor
  port (x : in X01_vector (1 to 3); y : out X01);
end component;
component sn74260 is -- 5er-nor
  port (x : in X01_vector (1 to 5); y : out X01);
end component;
component sn7410 -- 3er-nand
  port (x : in X01_vector (1 to 3);
        y : out X01);
end component;
component sn7420 is -- 4er-nand
  port (x : in X01_vector (1 to 4); y : out X01);
end component;

signal na, nb, nc, nd : X01; -- not a, not b, not c, not d
signal s2 : x01_vector(1 to 4); -- nor zwischenergebnisse
signal s3 : x01_vector(1 to 4); -- nand zwischenergebnisse

alias a : x01 is x_fghij(20);
alias b : x01 is x_fghij(19);
alias c : x01 is x_fghij(18);
alias d : x01 is x_fghij(17);
alias y2: x01 is z_abcde(20); -- nor ergebnis
alias y3: x01 is z_abcde(19); -- nand ergebnis
begin
  -- block1: a,b,c,d => not a, not b, not c, not d
  u01: sn7400 port map (x(1)=>a, x(2)=>a, y=>na);
  u02: sn7400 port map (x(1)=>b, x(2)=>b, y=>nb);
  u03: sn7400 port map (x(1)=>c, x(2)=>c, y=>nc);
  u04: sn7400 port map (x(1)=>d, x(2)=>d, y=>nd);

  -- block2: 1. nor-ebene
  u10: sn7427 port map (x(1)=>a, x(2)=>b, x(3)=>c, y=>s2(1));
  u11: sn7427 port map (x(1)=>nb, x(2)=>c, x(3)=>nd, y=>s2(2));
  u12: sn7427 port map (x(1)=>b, x(2)=>nc, x(3)=>nd, y=>s2(3));
  u13: sn74260 port map (x(1)=>a, x(2)=>nb, x(3)=>nc, x(4)=>nc,
                        x(5)=>nc, y=>s2(4));

  -- block2: 2. nor-ebene
  u14: sn74260 port map (x(1)=>s2(1), x(2)=>s2(2), x(3)=>s2(3),
                        x(4)=>s2(4), x(5)=>s2(4), y=>y2);

  -- block3: 1. nand-ebene
  u15: sn7410 port map (x(1)=>a, x(2)=>b, x(3)=>c, y=>s3(1));
  u16: sn7410 port map (x(1)=>nb, x(2)=>c, x(3)=>nd, y=>s3(2));
  u17: sn7410 port map (x(1)=>b, x(2)=>nc, x(3)=>nd, y=>s3(3));

```

```

u18: sn7420 port map (x(1)=>a, x(2)=>nb, x(3)=>nc, x(4)=>nc,
                      y=>s3(4));

-- block3: 2. nand-ebene
u19: sn7420 port map (x(1)=>s3(1), x(2)=>s3(2), x(3)=>s3(3),
                      x(4)=>s3(4), y=>y3);
end structure;

```

1.5 Binäre Simulation

1.5.1 Stimulus

```

stimmap dbb2_08 0000----|00-----
stimmap dbb2_08 0001----|00-----
stimmap dbb2_08 0011----|00-----
stimmap dbb2_08 0010----|11-----
stimmap dbb2_08 0110----|00-----
stimmap dbb2_08 0111----|00-----
stimmap dbb2_08 0101----|00-----
stimmap dbb2_08 0100----|11-----

stimmap dbb2_08 1100----|11-----
stimmap dbb2_08 1101----|00-----
stimmap dbb2_08 1111----|11-----
stimmap dbb2_08 1110----|11-----
stimmap dbb2_08 1010----|11-----
stimmap dbb2_08 1011----|00-----
stimmap dbb2_08 1001----|11-----
stimmap dbb2_08 1000----|11-----

```

1.5.2 Simulation

```

1 0000---- -> 00000000
                00-----
2 0001---- -> 00000000
                00-----
3 0011---- -> 00000000
                00-----
4 0010---- -> 11000000
                11-----
5 0110---- -> 00000000
                00-----
6 0111---- -> 00000000
                00-----
7 0101---- -> 00000000
                00-----
8 0100---- -> 11000000
                11-----

9 1100---- -> 11000000
                11-----
10 1101---- -> 00000000
                00-----
11 1111---- -> 11000000
                11-----
12 1110---- -> 11000000
                11-----
13 1010---- -> 11000000
                11-----
14 1011---- -> 00000000
                00-----
15 1001---- -> 11000000
                11-----
16 1000---- -> 11000000
                11-----

```

1.6 Ternäre Simulation

1.6.1 Stimulus

```

stimmap dbb2_08 0000----|00-----
stimmap dbb2_08 000X----|-----
stimmap dbb2_08 0001----|00-----
stimmap dbb2_08 00X1----|-----
stimmap dbb2_08 0011----|00-----
stimmap dbb2_08 001X----|-----
stimmap dbb2_08 0010----|11-----
stimmap dbb2_08 0X10----|-----
stimmap dbb2_08 0110----|00-----
stimmap dbb2_08 011X----|-----
stimmap dbb2_08 0111----|00-----
stimmap dbb2_08 01X1----|-----
stimmap dbb2_08 0101----|00-----
stimmap dbb2_08 010X----|-----
stimmap dbb2_08 0100----|11-----
stimmap dbb2_08 X100----|-----

stimmap dbb2_08 1100----|11-----
stimmap dbb2_08 110X----|-----
stimmap dbb2_08 1101----|00-----
stimmap dbb2_08 11X1----|-----
stimmap dbb2_08 1111----|11-----
stimmap dbb2_08 111X----|-----
stimmap dbb2_08 1110----|11-----
stimmap dbb2_08 1X10----|-----
stimmap dbb2_08 1010----|11-----
stimmap dbb2_08 1011----|-----
stimmap dbb2_08 1011----|00-----
stimmap dbb2_08 10X1----|-----
stimmap dbb2_08 1001----|11-----
stimmap dbb2_08 100X----|-----
stimmap dbb2_08 1000----|11-----

```


1.6.2 Simulation

```
1 0000----> 00000000
                00-----
2 000X----> 00000000
                -----
3 0001----> 00000000
                00-----
4 00X1----> 00000000
                -----
5 0011----> 00000000
                00-----
6 001X----> XX000000
                -----
7 0010----> 11000000
                11-----
8 0X10----> XX000000
                -----
9 0110----> 00000000
                00-----
10 011X----> 00000000
                -----
11 0111----> 00000000
                00-----
12 01X1----> 00000000
                -----
13 0101----> 00000000
                00-----
14 010X----> XX000000
                -----
15 0100----> 11000000
                11-----
16 X100----> XX000000
                -----
17 1100----> 11000000
                11-----
18 110X----> XX000000
                -----
19 1101----> 00000000
                00-----
20 11X1----> XX000000
                -----
21 1111----> 11000000
                11-----
22 111X----> 11000000
                -----
23 1110----> 11000000
                11-----
24 1X10----> XX000000
                -----
25 1010----> 11000000
                11-----
26 1011----> 00000000
                -----
27 1011----> 00000000
                00-----
28 10X1----> XX000000
                -----
29 1001----> 11000000
                11-----
30 100X----> 11000000
                -----
31 1000----> 11000000
                11-----
```

1.7 Verdrahtung

Von	IC	PIN	NACH	IC	PIN	Bemerkung
<i>X_FGHIJ 20</i>			1	'00	1	Eingang na
1	1	1	1	'00	2	
1	1	2	2	'27	1	1. 3er-NOR
2	'27	1	2	'260	1	1. 5er-NOR
2	'260	1	3	'10	1	1. 3er-NAND
1	'10	1	3	'20	1	1. 4er-NAND
<i>X_FGHIJ 19</i>			1	'00	4	Eingang nb
1	'00	4	1	'00	5	
1	'00	5	2	'27	2	1. 3er-NOR
2	'27	2	2	'27	11	3. 3er-NOR
2	'27	11	3	'10	2	1. 3er-NAND
3	'10	2	3	'10	11	3. 3er-NAND
<i>X_FGHIJ 18</i>			1	'00	13	Eingang nc
1	'00	13	1	'00	12	
1	'00	12	2	'27	13	1. 3er-NOR
2	'27	13	2	'27	4	2. 3er-NOR
2	'27	4	3	'10	13	1. 3er-NAND
3	'10	13	3	'10	4	2. 3er-NAND
<i>X_FGHIJ 17</i>			1	'00	10	Eingang nd
1	'00	10	1	'00	9	
1	'00	6	2	'27	3	2. 3er-NOR
2	'27	3	2	'260	2	1. 5er-NOR
2	'260	2	3	'10	3	2. 3er-NAND
3	'10	3	3	'20	2	1. 4er-NAND
1	'00	11	2	'27	10	3. 3er-NOR
2	'27	10	2	'260	3	1. 5er-NOR
2	'260	3	2	'260	13	1. 5er-NOR
2	'260	13	2	'260	12	1. 5er-NOR
2	'260	12	3	'10	10	3. 3er-NAND
3	'10	10	3	'20	4	1. 4er-NAND
3	'20	4	3	'20	5	1. 4er-NAND
1	'00	8	2	'27	5	2. 3er-NOR
2	'27	5	2	'27	9	3. 3er-NOR
2	'27	9	3	'10	5	2. 3er-NAND
3	'10	5	3	'10	9	3. 3er-NAND
2	'27	12	2	'260	4	2. 5er-NOR
2	'27	6	2	'260	11	2. 5er-NOR
2	'27	8	2	'260	10	2. 5er-NOR
2	'260	5	2	'260	9	2. 5er-NOR
2	'260	9	2	'260	8	2. 5er-NOR
3	'10	12	3	'20	13	2. 4er-NAND
3	'10	6	3	'20	12	2. 4er-NAND
3	'10	8	3	'20	10	2. 4er-NAND
3	'20	6	3	'20	9	2. 4er-NAND
2	'260	6	Z_ABCDE 20			y1-NOR-NOR
3	'20	8	Z_ABCDE 19			y1-NAND-NAND

2 Versuch Komb2

$$y = f(a, b, c, d) = b\bar{c}\bar{d} + \bar{b}c\bar{d} + abc + \bar{a}\bar{b}\bar{c}$$

$$y = abcd * 1 + abc\bar{d} * 1 + ab\bar{c}d * 0 + ab\bar{c}\bar{d} * 1 + a\bar{b}cd * 0 + a\bar{b}\bar{c}d * 1 + a\bar{b}\bar{c}\bar{d} * 1 + a\bar{b}\bar{c}\bar{d} * 1 + \bar{a}bcd * 0 + \bar{a}bc\bar{d} * 0 + \bar{a}b\bar{c}d * 0 + \bar{a}b\bar{c}\bar{d} * 1 + \bar{a}\bar{b}cd * 0 + \bar{a}\bar{b}\bar{c}d * 1 + \bar{a}\bar{b}\bar{c}\bar{d} * 0$$

2.1 8-zu-1-Multiplexer-Realisierung

$$y = abc(d * 1 + \bar{d} * 1) + ab\bar{c}(d * 0 + \bar{d} * 1) + a\bar{b}c(d * 0 + \bar{d} * 1) + a\bar{b}\bar{c}(d * 1 + \bar{d} * 1) + \bar{a}bc(d * 0 + \bar{d} * 0) + \bar{a}b\bar{c}(d * 0 + \bar{d} * 1) + \bar{a}\bar{b}c(d * 0 + \bar{d} * 1) + \bar{a}\bar{b}\bar{c}(d * 0 + \bar{d} * 0)$$

$$= abc(1) + ab\bar{c}(\bar{d}) + a\bar{b}c(\bar{d}) + a\bar{b}\bar{c}(1) + \bar{a}bc(0) + \bar{a}b\bar{c}(\bar{d}) + \bar{a}\bar{b}c(\bar{d}) + \bar{a}\bar{b}\bar{c}(0)$$

$$y = \bar{s}_2 \bar{s}_1 \bar{s}_0(0) + \bar{s}_2 \bar{s}_1 s_0(\bar{d}) + \bar{s}_2 s_1 \bar{s}_0(\bar{d}) + \bar{s}_2 s_1 s_0(0) + s_2 \bar{s}_1 \bar{s}_0(1) + s_2 \bar{s}_1 s_0(\bar{d}) + s_2 s_1 \bar{s}_0(\bar{d}) + s_2 s_1 s_0(1)$$

s_0	s_1	s_2	d_0	d_1	d_2	d_3	d_4	d_5	d_6	d_7
c	b	a	0	\bar{d}	\bar{d}	0	1	\bar{d}	\bar{d}	1

2.2 4-zu-1-Multiplexer-Realisierung

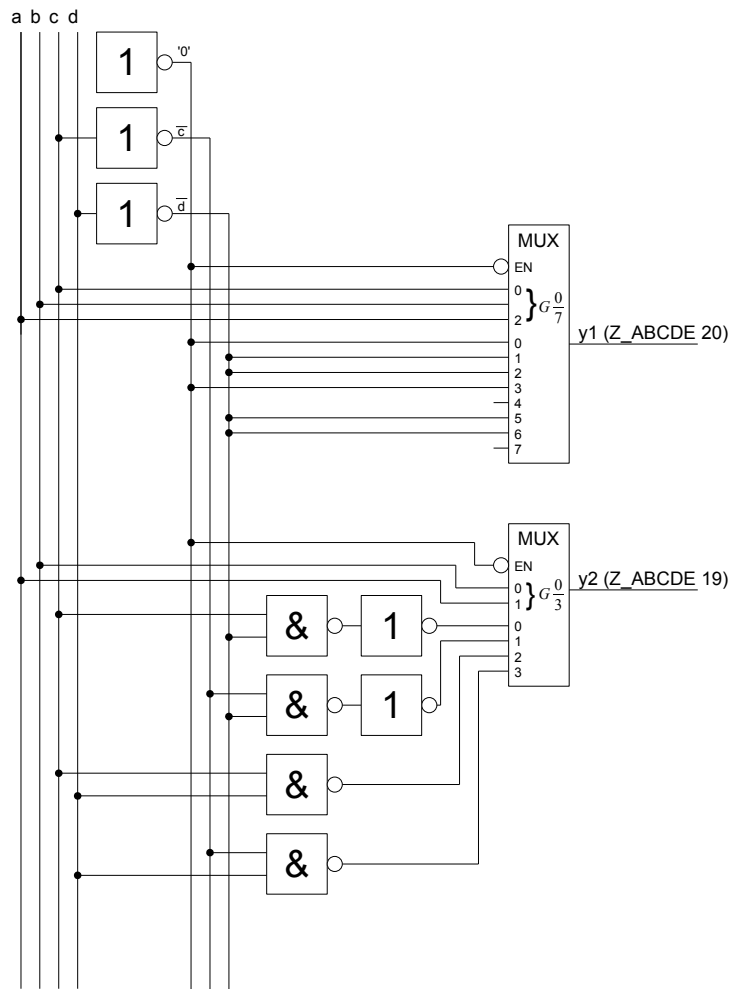
$$y = ab(cd * 1 + \bar{c}\bar{d} * 1 + \bar{c}d * 0 + c\bar{d} * 1) + a\bar{b}(cd * 0 + \bar{c}\bar{d} * 1 + \bar{c}d * 1 + c\bar{d} * 1) + \bar{a}b(cd * 0 + \bar{c}\bar{d} * 0 + \bar{c}d * 0 + c\bar{d} * 1) + \bar{a}\bar{b}(cd * 0 + \bar{c}\bar{d} * 1 + \bar{c}d * 0 + c\bar{d} * 0)$$

$$= ab(c + \bar{d}) + a\bar{b}(\bar{c} + \bar{d}) + \bar{a}b(\bar{c}\bar{d}) + \bar{a}\bar{b}(c\bar{d})$$

$$y = \bar{s}_1 \bar{s}_0(c\bar{d}) + \bar{s}_1 s_0(\bar{c}\bar{d}) + s_1 \bar{s}_0(\bar{c} + \bar{d}) + s_1 s_0(c + \bar{d})$$

s_0	s_1	d_0	d_1	d_2	d_3
b	a	$c\bar{d}$	$\bar{c}\bar{d}$	$\bar{c} + \bar{d}$	$c + \bar{d}$

2.3 Schaltung



2.4 VHDL

```

library ieee;
use ieee.std_logic_1164.all;
use work.pack_2.all;

entity uut is
  port (x_fghij : in X01_vector(20 downto 13);
        z_abcde : out X01_vector(20 downto 13));
end uut;

architecture structure of uut is

```

```

component sn7400 -- 2er-nand
  port (x : in X01_vector (1 to 2);
        y : out X01);
end component;
component sn7404 is -- not
  port (x : in X01; y : out X01);
end component;
component sn74151 is -- 8-zu-1-Multiplexer
  port (e   : in X01;
        s   : in X01_vector (2 downto 0);
        d   : in X01_vector (0 to 7);
        y,w : out X01);
end component;
component sn74153 is -- 4-zu-1-Multiplexer
  port (e1,e2 : in X01;
        s     : in X01_vector (1 downto 0);
        d1,d2 : in X01_vector (0 to 3);
        y1,y2 : out X01);
end component;

signal nc, nd, zero, one : X01; -- not a, not b, not c, not
signal s_nand : X01_vector (1 to 4); -- zwischenergebnisse der nands
signal s_not  : X01_vector (1 to 2); -- zwischenergebnisse der not bei nand

alias a : x01 is x_fghij(20);
alias b : x01 is x_fghij(19);
alias c : x01 is x_fghij(18);
alias d : x01 is x_fghij(17);
alias y1: x01 is z_abcde(20); -- 8-zu-1-mux ergebnis
alias y2: x01 is z_abcde(19); -- 4-zu-1-mux ergebnis
begin
  -- todo
  -- block1-not: 1, c, d => 0, not c, not d
  one <= '1';
  b11: sn7404 port map (x=>one, y=>zero);
  b12: sn7404 port map (x=>c, y=>nc);
  b13: sn7404 port map (x=>d, y=>nd);
  b14: sn7404 port map (x=>s_nand(1), y=>s_not(1));
  b15: sn7404 port map (x=>s_nand(2), y=>s_not(2));

  -- block1-nand
  b16: sn7400 port map (x(1)=>c, x(2)=>nd, y=>s_nand(1));
  b17: sn7400 port map (x(1)=>nc, x(2)=>nd, y=>s_nand(2));
  b18: sn7400 port map (x(1)=>c, x(2)=>d, y=>s_nand(3));
  b19: sn7400 port map (x(1)=>d, x(2)=>nc, y=>s_nand(4));

  -- block 2: 8-zu-1-Multiplexer
  b2: sn74151 port map (e=>zero, s(2)=>a, s(1)=>b, s(0)=>c,
                      d(0)=>zero, d(1)=>nd, d(2)=>nd, d(3)=>zero,
                      d(4)=>one, d(5)=>nd, d(6)=>nd, d(7)=>one, y=>y1);

```

```

-- block 3: 4-zu-1-Multiplexer
b3: sn74153 port map (e1=>zero, s(1)=>a, s(0)=>b,
                    d1(0)=>s_not(1), d1(1)=>s_not(2),
                    d1(2)=>s_nand(3), d1(3)=>s_nand(4), y1=>y2,
                    e2=>one, d2=>"0000");
end structure;

```

2.5 Binäre Simulation

2.5.1 Stimulus

```

stimmap dbb2_08 0000----|00-----
stimmap dbb2_08 0001----|00-----
stimmap dbb2_08 0011----|00-----
stimmap dbb2_08 0010----|11-----
stimmap dbb2_08 0110----|00-----
stimmap dbb2_08 0111----|00-----
stimmap dbb2_08 0101----|00-----
stimmap dbb2_08 0100----|11-----

stimmap dbb2_08 1100----|11-----
stimmap dbb2_08 1101----|00-----
stimmap dbb2_08 1111----|11-----
stimmap dbb2_08 1110----|11-----
stimmap dbb2_08 1010----|11-----
stimmap dbb2_08 1011----|00-----
stimmap dbb2_08 1001----|11-----
stimmap dbb2_08 1000----|11-----

```

2.5.2 Simulation

```

1 0000---- -> 00000000
                00-----
2 0001---- -> 00000000
                00-----
3 0011---- -> 00000000
                00-----
4 0010---- -> 11000000
                11-----
5 0110---- -> 00000000
                00-----
6 0111---- -> 00000000
                00-----
7 0101---- -> 00000000
                00-----
8 0100---- -> 11000000
                11-----

9 1100---- -> 11000000
                11-----
10 1101---- -> 00000000
                00-----
11 1111---- -> 11000000
                11-----
12 1110---- -> 11000000
                11-----
13 1010---- -> 11000000
                11-----
14 1011---- -> 00000000
                00-----
15 1001---- -> 11000000
                11-----
16 1000---- -> 11000000
                11-----

```

2.6 Ternäre Simulation

2.6.1 Stimulus

```

stimmap dbb2_08 0000----|00-----
stimmap dbb2_08 000X----|-----
stimmap dbb2_08 0001----|00-----
stimmap dbb2_08 00X1----|-----
stimmap dbb2_08 0011----|00-----
stimmap dbb2_08 001X----|-----
stimmap dbb2_08 0010----|11-----
stimmap dbb2_08 00X0----|-----
stimmap dbb2_08 0110----|00-----
stimmap dbb2_08 011X----|-----
stimmap dbb2_08 0111----|00-----
stimmap dbb2_08 01X1----|-----
stimmap dbb2_08 0101----|00-----
stimmap dbb2_08 010X----|-----
stimmap dbb2_08 0100----|11-----
stimmap dbb2_08 X100----|-----

stimmap dbb2_08 1100----|11-----
stimmap dbb2_08 110X----|-----
stimmap dbb2_08 1101----|00-----
stimmap dbb2_08 11X1----|-----
stimmap dbb2_08 1111----|11-----
stimmap dbb2_08 111X----|-----
stimmap dbb2_08 1110----|11-----
stimmap dbb2_08 1X10----|-----
stimmap dbb2_08 1010----|11-----
stimmap dbb2_08 1011----|-----
stimmap dbb2_08 1011----|00-----
stimmap dbb2_08 10X1----|-----
stimmap dbb2_08 1001----|11-----
stimmap dbb2_08 100X----|-----
stimmap dbb2_08 1000----|11-----

```

2.6.2 Simulation

1	0000----	->	00000000	17	1100----	->	11000000
			00-----				11-----
2	000X----	->	00000000	18	110X----	->	XX000000
			-----				-----
3	0001----	->	00000000	19	1101----	->	00000000
			00-----				00-----
4	00X1----	->	00000000	20	11X1----	->	XX000000
			-----				-----
5	0011----	->	00000000	21	1111----	->	11000000
			00-----				11-----
6	001X----	->	XX000000	22	111X----	->	11000000
			-----				-----
7	0010----	->	11000000	23	1110----	->	11000000
			11-----				11-----
8	0X10----	->	XX000000	24	1X10----	->	XX000000
			-----				-----
9	0110----	->	00000000	25	1010----	->	11000000
			00-----				11-----
10	011X----	->	00000000	26	1011----	->	00000000
			-----				-----
11	0111----	->	00000000	27	1011----	->	00000000
			00-----				00-----
12	01X1----	->	00000000	28	10X1----	->	XX000000
			-----				-----
13	0101----	->	00000000	29	1001----	->	11000000
			00-----				11-----
14	010X----	->	XX000000	30	100X----	->	11000000
			-----				-----
15	0100----	->	11000000	31	1000----	->	11000000
			11-----				11-----
16	X100----	->	XX000000				-----
			-----				-----

2.7 Binärer Stimulus minimaler Länge

2.7.1 Transportbedingungen

$f(a,b,c,d)$:

		b			
		d			
		0	0	0	1
	0	1	0	0	0
	2	3	7	6	
	10	11	15	14	
a	c	1	0	1	1
		8	9	13	12
		1	1	0	1

$$f|_{a=0} \neq f|_{a=1} = \bar{b}\bar{c}d + bcd + \bar{b}c\bar{d} + bc\bar{d} = \bar{b}\bar{c} + bc = b \sim c$$

$$f|_{b=0} \neq f|_{b=1} = \bar{a}\bar{c}\bar{d} + \bar{a}c\bar{d} + \bar{a}c\bar{d} + acd = \bar{a}\bar{d} + acd = \bar{a}\bar{d} + ad = a \sim d$$

$$f|_{c=0} \neq f|_{c=1} = \bar{a}b\bar{d} + abd + \bar{a}b\bar{d} + \bar{a}bd = \bar{a}\bar{d} + ad = a \sim d$$

$$f|_{d=0} \neq f|_{d=1} = \bar{a}\bar{b}\bar{c} + \bar{a}b\bar{c} + ab\bar{c} + abc = \bar{b}\bar{c} + bc = b \neq c$$

2.7.2 Überdeckungstabelle

Fehler	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	$\delta(S)$
$a = 0$									1	1					1	1	
$a = 1$	1	1					1	1									
$b = 0$					1		1							1			1
$b = 1$	1		1							1		1					
$c = 0$			1				1					1					1
$c = 1$	1				1					1				1			
$d = 0$				1		1						1		1			
$d = 1$			1		1						1		1				
$y = 0$			1		1				1	1	1		1		1	1	
$y = 1$	1	1		1		1	1	1				1		1			

2.7.3 vereinfachte Überdeckungstabelle

Fehler	0	13	2	15	$\delta(S)$
	0000	1101	0010	1111	S
$a = 0$				1	
$a = 1$	1				
$b = 0$		1		1	
$b = 1$	1		1		
$c = 0$			1	1	
$c = 1$	1	1			
$d = 0$		1			
$d = 1$			1		
$y = 0$			1	1	
$y = 1$	1	1			

2.7.4 Stimulus

```

stimmap dbb2_08 0000----|00-----
stimmap dbb2_08 0010----|11-----
stimmap dbb2_08 1101----|00-----
stimmap dbb2_08 1111----|11-----

```


2.8 Verdrahtung

Nach		Von		Bemerkung		
IC	PIN	IC	PIN	Funktion	Ursprung	
'04	1	-	-	NOT 1	NULL	
	3	X	18	NOT 2	E: c	
	5	X	17	NOT 3	E: d	
	9	'00	3	NOT 4	NAND 1	
	11	'00	6	NOT 5	NAND 2	
'00	1	'04	3	NAND 1	E: c	
	2	'04	6		NOT d	
	4	'04	4	NAND 2	NOT c	
	5	'00	2		NOT d	
	9	'00	1	NAND 3	E: c	
	10	'04	5		E: d	
	12	'00	4	NAND 4	not c	
	13	'00	10		E: d	
'151	7	'04	2	EN	NOT 1	
	11	X	18	S0	E: c	
	10	X	19	S1	E: b	
	9	X	20	S2	E: a	
	4	'151	7	D0	NOT 1	
	3	'04	6	D1	NOT 3	
	2	'151	3	D2	NOT 3	
	1	'151	4	D3	NOT 1	
	15	-	-	D4	EINS	
	14	'151	2	D5	NOT 3	
	13	'151	14	D6	NOT 3	
		12	-	-	D7	EINS
	'153	1	'04	2	EN	NOT 1
14		X	19	S0	E: b	
2		X	20	S1	E: a	
6		'04	8	D0	NOT 4	
5		'04	10	D1	NOT 5	
4		'00	8	D2	NAND 3	
3		'00	11	D3	NAND 4	
Z	20	'151	5			
Z	19	'153	7			

3 Versuch Komb3

3.1 CLA-Realisierung

$$\begin{aligned}
 c_1 &= g_0 + z_0 c_0 \\
 c_2 &= g_1 + z_1 c_1 \\
 \Rightarrow c_2 &= g_1 + z_1(g_0 + z_0 c_0) \\
 c_3 &= g_2 + z_2 c_2 \\
 \Rightarrow c_3 &= g_2 + z_2(g_1 + z_1(g_0 + z_0 c_0)) \\
 c_4 &= g_3 + z_3 c_3 \\
 \Rightarrow c_4 &= g_3 + z_3(g_2 + z_2(g_1 + z_1(g_0 + z_0 c_0)))
 \end{aligned}$$

$$\begin{aligned}
 g_0 &= a_0 b_0 \\
 g_1 &= a_1 b_1 \\
 g_2 &= a_2 b_2 \\
 g_3 &= a_3 b_3 \\
 z_0 &= a_0 + b_0 \\
 z_1 &= a_1 + b_1 \\
 z_2 &= a_2 + b_2 \\
 z_3 &= a_3 + b_3
 \end{aligned}$$

Es werden bei dieser tiefen Realisierung 8 2er-ORs und 8 2er-ANDs benötigt. Dies sind 4 2er-ORs und 4 2er-ANDs zuviel. Desweiteren bleiben 4 2er-NAND und 6 3er-NAND übrig.

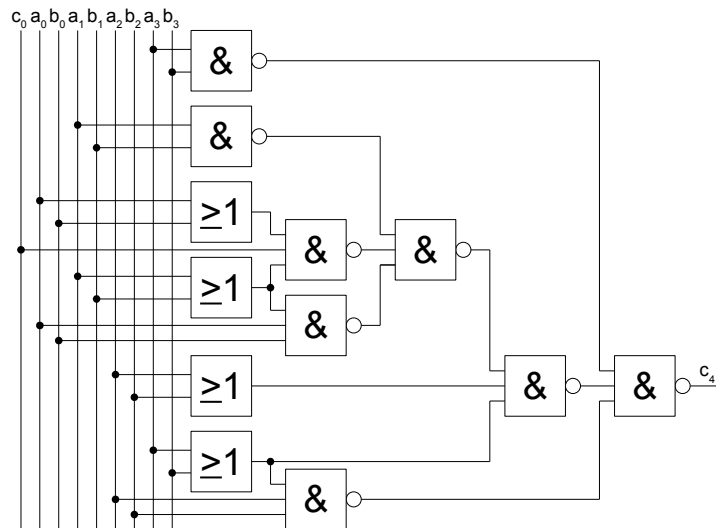
$$\begin{aligned}
 c_4 &= g_3 + z_3(g_2 + z_2(g_1 + z_1(g_0 + z_0 c_0))) \\
 &= g_3 + z_3 g_2 + z_3 z_2(g_1 + z_1(g_0 + z_0 c_0)) \\
 &= \overline{g_3} * \overline{z_3 g_2} * \overline{z_3 z_2(g_1 + z_1(g_0 + z_0 c_0))} \\
 &= \overline{\overline{\overline{g_3} * \overline{z_3 g_2} * \overline{z_3 z_2(g_1 + z_1(g_0 + z_0 c_0))}}} \\
 &= \overline{\overline{\overline{g_3} * \overline{z_3 g_2} * \overline{z_3 z_2(\overline{g_1} * \overline{z_1 g_0} * \overline{z_1 z_0 c_0})}}}
 \end{aligned}$$

Diese Realisierung lässt sich mit 4 2er-ORs, 4 2er-ANDS, 4 2er-NANDS (davon 2 als Negator) und 4 3er-NANDS realisieren. Durch einsetzen von g_0, g_1, g_2, g_3 verschiebt sich die Angabe leicht.

$$\begin{aligned}
 c_4 &= \overline{\overline{\overline{a_3 b_3 * \overline{z_3 a_2 b_2} * \overline{z_3 z_2(a_1 b_1 * \overline{z_1 a_0 b_0} * \overline{z_1 z_0 c_0})}}} \\
 z_0 &= a_0 + b_0 \\
 z_1 &= a_1 + b_1 \\
 z_2 &= a_2 + b_2 \\
 z_3 &= a_3 + b_3
 \end{aligned}$$

Nun werden 4 2er-ORs, 2 2er-NANDS und 6 3er NANDS benötigt.

3.2 Schaltung CLA



3.3 VHDL

```

library ieee;
use ieee.std_logic_1164.all;
use work.pack_2.all;

entity uut is
  port (x_fghij : in  x01_vector(20 downto 5);
        z_abcde : out x01_vector(20 downto 5));
end uut;

architecture structure of uut is
  component sn7400 -- 2er-nand
    port (x : in  X01_vector (1 to 2);
          y : out X01);
  end component;
  component sn7410 is -- 3er-nand
    port (x : in X01_vector (1 to 3); y : out X01);
  end component;
  component sn7432 is -- 2er-or
    port (x : in X01_vector (1 to 2); y : out X01);
  end component;
  component sn7483A is -- 4bit-adder
    port (c0 : in  x01; b,a : in  x01_vector(3 downto 0);
          c4 : out x01; s : out x01_vector(3 downto 0));
  end component;

  -- Eingänge

```

```

alias c0 : x01 is x_fghij(20);

alias b : x01_vector(3 downto 0) is x_fghij(18 downto 15);
alias a : x01_vector(3 downto 0) is x_fghij(13 downto 10);

-- Ausgänge
alias c8 : x01 is z_abcde(20);

alias sum2 : x01_vector is z_abcde(18 downto 15);
alias sum1 : x01_vector is z_abcde(14 downto 11);

signal c4: X01;
signal s_level1 : X01_vector (1 to 6); -- zwischenergebnisse 1. ebene
signal s_level2 : X01_vector (1 to 3); -- zwischenergebnisse 2. ebene
signal s_level3 : X01; -- zwischenergebnisse 3. ebene
signal s_level4 : X01; -- zwischenergebnisse 4. ebene
begin
  -- adder1
  add1: sn7483A port map (
    c0=>c0,
    a=>a, b=>b,
    s=>sum1);

  -- adder2
  add2: sn7483A port map (
    c0=>c4, c4=>c8,
    a=>"0000", b=>"1111",
    s=>sum2);

  -----CLA-----
  -- 1. ebene 1. nand2
  l11: sn7400 port map (
    x(1)=>a(3), x(2)=>b(3),
    y=>s_level1(1));
  -- 1. ebene 2. nand2
  l12: sn7400 port map (
    x(1)=>a(1), x(2)=>b(1),
    y=>s_level1(2));
  -- 1. ebene 1. or
  l13: sn7432 port map (
    x(1)=>a(0), x(2)=>b(0),
    y=>s_level1(3));
  -- 1. ebene 2. or
  l14: sn7432 port map (
    x(1)=>a(1), x(2)=>b(1),
    y=>s_level1(4));
  -- 1. ebene 3. or
  l15: sn7432 port map (
    x(1)=>a(2), x(2)=>b(2),
    y=>s_level1(5));
  -- 1. ebene 4. or

```

```

116: sn7432 port map (
        x(1)=>a(3), x(2)=>b(3),
        y=>s_level1(6));

-- 2. ebene 1. nand3
121: sn7410 port map (
        x(1)=>s_level1(3), x(2)=>c0, x(3)=>s_level1(4),
        y=>s_level2(1));
-- 2. ebene 2. nand3
122: sn7410 port map (
        x(1)=>s_level1(4), x(2)=>a(0), x(3)=>b(0),
        y=>s_level2(2));
-- 2. ebene 3. nand3
123: sn7410 port map (
        x(1)=>s_level1(6), x(2)=>a(2), x(3)=>b(2),
        y=>s_level2(3));

-- 3. ebene 1. nand3
131: sn7410 port map (
        x(1)=>s_level1(2), x(2)=>s_level2(1), x(3)=>s_level2(2),
        y=>s_level3);

-- 4. ebene 1. nand3
141: sn7410 port map (
        x(1)=>s_level3, x(2)=>s_level1(5), x(3)=>s_level1(6),
        y=>s_level4);

-- 5. ebene 1. nand3
151: sn7410 port map (
        x(1)=>s_level1(1), x(2)=>s_level4, x(3)=>s_level2(3),
        y=>c4);
end structure;

```

3.4 Binäre Simulation

Nicht abgedruckt auf Grund der Größe.

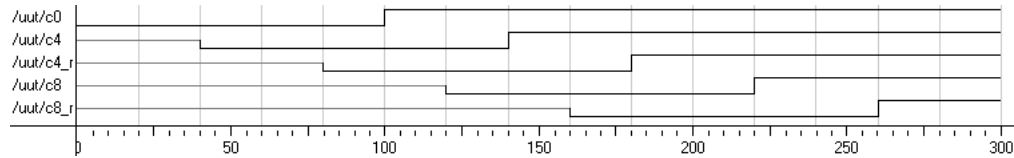
3.5 Binärer Stimulus minimaler Länge

```

stimmap dbb2_16 0-0000-1111-----|0-11111111-----
stimmap dbb2_16 0-1111-0000-----|0-11111111-----
stimmap dbb2_16 1-0000-1111-----|1-00000000-----
stimmap dbb2_16 1-1111-0000-----|1-00000000-----

```

3.6 Zeitverhalten



Nach dem Einfügen von “after 10ns“ nach jeder Anweisung innerhalb von *SN7400.VHD*, *SN7408.VHD*, *SN7410.VHD*, *SN7432.VHD* und *SN7483A.VHD*, ergibt sich eine Zeitverzögerung von 40ns zwischen c_{4_r} (Carry-Flag 4 des Ripple-Carry-Adders) und c_4 (Carry-Flag 4 aus CLA) bzw. zwischen c_{8_r} und c_8 . Als Eingabe wurde für a “1111“ und für b “0000“ genommen, damit c_{4_r} erst nach dem Berechnen von c_1 , c_2 , c_3 im Ripple-Carry-Adder stabil wird. Somit ist der Adder mit dem CLA schon nach 120ns statt 160ns fertig.

3.7 Verdrahtung

3.7.1 CLA

Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'00	1	X	13	NAND2 1	a_3
	2	X	18		b_3
	4	X	11	NAND2 1	a_1
	5	X	16		b_1
'32	1	X	10	OR2 1	a_0
	2	X	15		b_0
	4	'00	4	OR2 2	a_1
	5	'00	5		b_1
	9	X	12	OR2 3	a_2
	10	X	17		b_2
	12	'00	1	OR2 4	a_3
13	'00	2		b_3	
'10-1	1	'32	3	NAND3 1	OR2 1
	2	X	20		c_0
	13	'32	6		OR2 2
	3	'10-1	13	NAND3 2	OR2 2
	4	'32	1		a_0
	5	'32	2		b_0
	9	'32	11	NAND3 3	OR2 4
	10	'32	9		a_2
11	'32	10	b_2		
'10-2	1	'00	6	NAND3 4	NAND2 2
	2	'10-1	12		NAND3 1
	13	'10-1	6		NAND3 2
	3	'10-2	12	NAND3 5	NAND3 4
	4	'32	8		OR2 3
	5	'10-1	9		OR2 4
	9	'00	3	NAND3 6/C4	NAND2 1
	10	'10-2	6		NAND3 5
11	'10-1	8	NAND3 3		

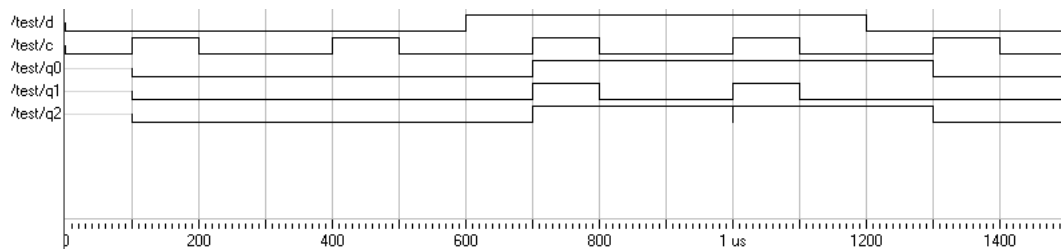
3.7.2 Ripple-Carry-Adder

Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'83A-1	13	X	20	Adder1	c_0
	10	X	10		a_0
	11	X	15		b_0
	8	X	11		a_1
	7	X	16		b_1
	3	X	12		a_2
	4	X	17		b_2
	1	X	13		a_3
	16	X	18		b_3
'83A-2	13	'10-2	8	Adder2	c_4
	10	'0'			
	11	-			
	8	'0'			
	7	-			
	3	'0'			
	4	-			
	1	'0'			
	16	-			
Z	11	'83A-1	9		s_0
	12	'83A-1	6		s_1
	13	'83A-1	2		s_2
	14	'83A-1	15		s_3
	15	'83A-2	9		s_4
	16	'83A-2	6		s_5
	17	'83A-2	2		s_6
	18	'83A-2	15		s_7
	20	'83A-2	14		c_8

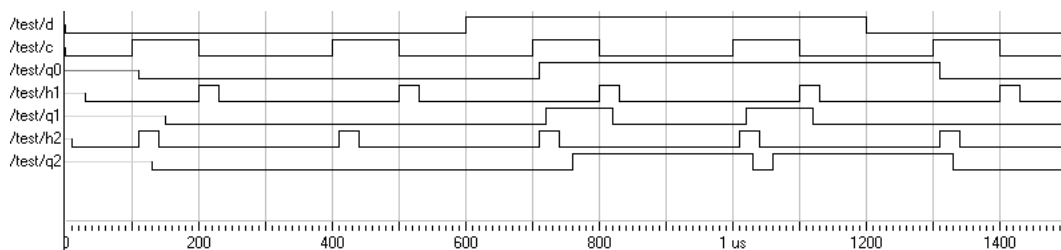
4 Versuch Sequ1

4.1 Untersuchung zweier statischer D-Flipflops

4.1.1 Simulation ohne Berücksichtigung zeitlichen Verhaltens



4.1.2 Simulation mit Berücksichtigung zeitlichen Verhaltens



An Position 800ns erkennt man recht gut das Problem. Hier kommt es durch die unterschiedliche Anzahl der vorgeschalteten Gatter zu einer zeitlichen Differenz zwischen dem Signal C und \bar{C} . Im ersten Flipflop liegt nun bei C und \bar{C} eine 0 an, weshalb Q_1 seinen aktuellen Zustand verliert und auf 0 wechselt. Beim 2. Flipflop hingegen liegt bei C und \bar{C} eine 1 an. Ähnlich sieht es bei 1us am 2. Flipflop aus. Beim Wechsel von C von 0 auf 1 wechselt zuerst \bar{C} von 1 auf 0, setzt damit Q_2 auf 0, bevor C auf 1 wechselt und somit den Dateneingang übernimmt und Q_2 wieder auf 1 springt.

4.2 Flipflop-Substitution

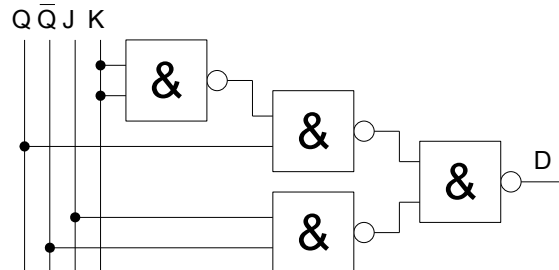
4.2.1 Substitution

J	K	Q	Q'	D
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

D:

$$D = \bar{K}Q + J\bar{Q} = \bar{K}\bar{Q} * J\bar{Q}$$

4.2.2 Schaltung



4.3 VHDL

```
library ieee;
use ieee.std_logic_1164.all;
use work.pack_2.all;

entity uut is
  port (x_fghij : in  X01_vector(20 downto 13);
        z_abcde : out X01_vector(20 downto 13));
end uut;

architecture structure of uut is
  component sn7404 is -- NOR
    port (x : in X01; y : out X01);
  end component;
  component sn7450 is -- AND-OR-Inverter
    port (x11,x12,x21,x22 : in X01; y : out X01);
  end component;

  component sn7400 is -- 1/4 2er-NAND
    port (x : in X01_vector (1 to 2); y : out X01);
  end component;
  component sn7472 is -- JK-MS-Flipflop
    port (s_b,r_b,c : in X01; j,k : in X01_vector(1 to 3); q,q_b : out X01);
  end component;
  component sn7474 is -- D-Flipflop
    port (s_b,r_b,c,d : in X01; q,q_b : out X01);
  end component;

  -- D-Flipflops
  alias c1 : X01 is x_fghij(20);
  alias d1 : X01 is x_fghij(19);
  alias q11 : X01 is z_abcde(20);
  alias q12 : X01 is z_abcde(19);
  signal s11,s12,s13,s21,s22,s23,s24 : x01;
```

```

signal n1,n2      : x01;
signal h1,h2      : x01; -- Hilfsausgänge der D-Flipflops

-- JK-*-Flipflops
alias j   : X01 is x_fghij(16);
alias k   : X01 is x_fghij(15);
alias c2  : X01 is x_fghij(14);
alias r   : X01 is x_fghij(13);
alias q21 : X01 is z_abcde(16);
alias q22 : X01 is z_abcde(15);
signal nc2 : X01; -- not c2
signal nk  : X01; -- not k
signal q21_h, nq21_h : X01; -- Hilfsausgänge '74
signal d   : x01; -- Berechneter D-Eingang '74
signal s31, s32 : X01;

begin
  -- D-Flipflop1
  d11: sn7404 port map (x=>c1, y=>s11);
  d12: sn7404 port map (x=>s11, y=>s12);
  d13: sn7404 port map (x=>s12, y=>s13);
  d14: sn7450 port map (x11=>h1, x12=>s13,
                      x21=>c1, x22=>d1,
                      y=>n1);
  d15: sn7404 port map (x=>n1, y=>h1);
  q11 <= h1;
  -- D-Flipflop2
  d21: sn7404 port map (x=>c1, y=>s21);
  d22: sn7404 port map (x=>s21, y=>s22);
  d23: sn7404 port map (x=>s22, y=>s23);
  d24: sn7404 port map (x=>s23, y=>s24);
  d25: sn7450 port map (x11=>h2, x12=>s21,
                      x21=>s24, x22=>d1,
                      y=>n2);
  d26: sn7404 port map (x=>n2, y=>h2);
  q12 <= h2;

  -- JK-Flipflop1
  j11: sn7400 port map (x(1)=>k, x(2)=>k, y=>nk);
  j12: sn7400 port map (x(1)=>j, x(2)=>nq21_h, y=>s31);
  j13: sn7400 port map (x(1)=>nk, x(2)=>q21_h, y=>s32);
  j14: sn7400 port map (x(1)=>s31, x(2)=>s32, y=>d);
  j15: sn7474 port map (s_b=>'1', r_b=>r, c=>c2, d=>d,
                      q=>q21_h, q_b=>nq21_h);
  q21 <= q21_h;

  -- JK-Flipflop2
  j21: sn7400 port map (x(1)=>c2, x(2)=>c2, y=>nc2);

```

```

j22: sn7472 port map (s_b=>'1', r_b=>r, c=>nc2,
                      j(1)=>j, j(2)=>'1', j(3)=>'1',
                      k(1)=>k, k(2)=>'1', k(3)=>'1',
                      q=>q22);
end structure;

```

4.4 Simulation D-Flipflops

4.4.1 Binäre Stimulusfolge

```

stimmap dbb2_08 00-----|-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 01-----|00-----
stimmap dbb2_08 11-----|11-----

stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 11-----|11-----
stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 00-----|11-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----

```

4.4.2 Binäre Simulation

```

1 00----- -> XX00XX00
      -----
2 10----- -> 0000XX00
      00-----
3 00----- -> 0000XX00
      00-----
4 00----- -> 0000XX00
      00-----
5 10----- -> 0000XX00
      00-----
6 00----- -> 0000XX00
      00-----
7 01----- -> 0000XX00
      00-----
8 11----- -> 1100XX00
      11-----

9 01----- -> 0100XX00
      11-----
      ^
10 01----- -> 0100XX00
      11-----
      ^
11 11----- -> 1100XX00
      11-----
12 01----- -> 0100XX00
      11-----
      ^
13 00----- -> 0100XX00
      11-----
      ^
14 10----- -> 0000XX00
      00-----
15 00----- -> 0000XX00
      00-----

```

4.4.3 Ternäre Stimulusfolge

```

stimmap dbb2_08 00-----|-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----
stimmap dbb2_08 0X-----|00-----
stimmap dbb2_08 01-----|00-----
stimmap dbb2_08 11-----|11-----

stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 11-----|11-----
stimmap dbb2_08 01-----|11-----
stimmap dbb2_08 0X-----|-----
stimmap dbb2_08 00-----|11-----
stimmap dbb2_08 10-----|00-----
stimmap dbb2_08 00-----|00-----

```

4.4.4 Ternäre Simulation

1 00----- -> XX00XX00 -----	10 01----- -> 0100XX00 11----- ^
2 10----- -> 0000XX00 00-----	11 01----- -> 0100XX00 11----- ^
3 00----- -> 0000XX00 00-----	12 11----- -> 1100XX00 11-----
4 00----- -> 0000XX00 00-----	13 01----- -> 0100XX00 11----- ^
5 10----- -> 0000XX00 00-----	14 0X----- -> 0100XX00 -----
6 00----- -> 0000XX00 00-----	15 00----- -> 0100XX00 11----- ^
7 0X----- -> 0000XX00 00-----	16 10----- -> 0000XX00 00-----
8 01----- -> 0000XX00 00-----	17 00----- -> 0000XX00 00-----
9 11----- -> 1100XX00 11-----	

4.5 Simulation JK-Flipflop

4.5.1 Binäre Stimulusfolge

stimmap dbb2_08 ----0001 -----	stimmap dbb2_08 ----0001 ----11--
stimmap dbb2_08 ----0000 ----00--	stimmap dbb2_08 ----1001 ----11--
stimmap dbb2_08 ----0001 ----00--	stimmap dbb2_08 ----1011 ----11--
stimmap dbb2_08 ----0001 ----00--	stimmap dbb2_08 ----1001 ----11--
stimmap dbb2_08 ----0011 ----00--	stimmap dbb2_08 ----0101 ----11--
stimmap dbb2_08 ----0001 ----00--	stimmap dbb2_08 ----0111 ----00--
stimmap dbb2_08 ----0101 ----00--	stimmap dbb2_08 ----0101 ----00--
stimmap dbb2_08 ----0111 ----00--	stimmap dbb2_08 ----1101 ----00--
stimmap dbb2_08 ----0101 ----00--	stimmap dbb2_08 ----1111 ----11--
stimmap dbb2_08 ----1001 ----00--	stimmap dbb2_08 ----1101 ----11--
stimmap dbb2_08 ----1011 ----11--	stimmap dbb2_08 ----1101 ----11--
stimmap dbb2_08 ----1001 ----11--	stimmap dbb2_08 ----1111 ----00--
stimmap dbb2_08 ----0001 ----11--	stimmap dbb2_08 ----1101 ----00--
stimmap dbb2_08 ----0011 ----11--	

4.5.2 Binäre Simulation

```

1 ----0001 -> XX00XX00
                -----
2 ----0000 -> XX000000
                ----00--
3 ----0001 -> XX000000
                ----00--
4 ----0001 -> XX000000
                ----00--
5 ----0011 -> XX000000
                ----00--
6 ----0001 -> XX000000
                ----00--
7 ----0101 -> XX000000
                ----00--
8 ----0111 -> XX000000
                ----00--
9 ----0101 -> XX000000
                ----00--
10 ----1001 -> XX000000
                ----00--
11 ----1011 -> XX001100
                ----11--
12 ----1001 -> XX001100
                ----11--
13 ----0001 -> XX001100
                ----11--
14 ----0011 -> XX001100
                ----11--
15 ----0001 -> XX001100
                ----11--
16 ----1001 -> XX001100
                ----11--
17 ----1011 -> XX001100
                ----11--
18 ----1001 -> XX001100
                ----11--
19 ----0101 -> XX001100
                ----11--
20 ----0111 -> XX000000
                ----00--
21 ----0101 -> XX000000
                ----00--
22 ----1101 -> XX000000
                ----00--
23 ----1111 -> XX001100
                ----11--
24 ----1101 -> XX001100
                ----11--
25 ----1101 -> XX001100
                ----11--
26 ----1111 -> XX000000
                ----00--
27 ----1101 -> XX000000
                ----00--

```

4.5.3 Ternäre Stimulusfolge

```

stimmap dbb2_08 ----0001|-----
stimmap dbb2_08 ----000X|-----
stimmap dbb2_08 ----0000|----00--
stimmap dbb2_08 ----000X|-----
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----0011|----00--
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----0X01|-----
stimmap dbb2_08 ----0101|----00--
stimmap dbb2_08 ----0111|----00--
stimmap dbb2_08 ----0101|----00--
stimmap dbb2_08 ----XX01|-----
stimmap dbb2_08 ----1001|----00--
stimmap dbb2_08 ----1011|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----X001|-----
stimmap dbb2_08 ----0001|----11--
stimmap dbb2_08 ----0011|----11--
stimmap dbb2_08 ----0001|----11--
stimmap dbb2_08 ----X001|-----
stimmap dbb2_08 ----0101|----11--
stimmap dbb2_08 ----X001|-----
stimmap dbb2_08 ----0001|----11--
stimmap dbb2_08 ----0011|----11--
stimmap dbb2_08 ----0001|----11--
stimmap dbb2_08 ----X001|-----
stimmap dbb2_08 ----0101|----11--
stimmap dbb2_08 ----X101|-----
stimmap dbb2_08 ----1101|----00--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1111|----00--
stimmap dbb2_08 ----1101|----00--

```

4.5.4 Ternäre Simulation

```
1 ----0001 -> XX00XX00
                -----
2 ----000X -> XX00XX00
                -----
3 ----0000 -> XX000000
                ----00--
4 ----000X -> XX000000
                -----
5 ----0001 -> XX000000
                ----00--
6 ----0001 -> XX000000
                ----00--
7 ----0011 -> XX000000
                ----00--
8 ----0001 -> XX000000
                ----00--
9 ----0X01 -> XX000000
                -----
10 ----0101 -> XX000000
                ----00--
11 ----0111 -> XX000000
                ----00--
12 ----0101 -> XX000000
                ----00--
13 ----XX01 -> XX000000
                -----
14 ----1001 -> XX000000
                ----00--
15 ----1011 -> XX001100
                ----11--
16 ----1001 -> XX001100
                ----11--
17 ----X001 -> XX001100
                -----
18 ----0001 -> XX001100
                ----11--

19 ----0011 -> XX001100
                ----11--
20 ----0001 -> XX001100
                ----11--
21 ----X001 -> XX001100
                -----
22 ----1001 -> XX001100
                ----11--
23 ----1011 -> XX001100
                ----11--
24 ----1001 -> XX001100
                ----11--
25 ----XX01 -> XX001100
                -----
26 ----0101 -> XX001100
                ----11--
27 ----0111 -> XX000000
                ----00--
28 ----0101 -> XX000000
                ----00--
29 ----X101 -> XX000000
                -----
30 ----1101 -> XX000000
                ----00--
31 ----1111 -> XX001100
                ----11--
32 ----1101 -> XX001100
                ----11--
33 ----1101 -> XX001100
                ----11--
34 ----1111 -> XX000000
                ----00--
35 ----1101 -> XX000000
                ----00--
```

4.6 Simulation JK-MS-Flipflop

4.6.1 Binäre Stimulusfolge

```
stimmap dbb2_08 ----0001|-----
stimmap dbb2_08 ----0000|----00--
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----0101|----00--
stimmap dbb2_08 ----0111|----00--
stimmap dbb2_08 ----1111|----00--
stimmap dbb2_08 ----0111|----00--
stimmap dbb2_08 ----0011|----00--
stimmap dbb2_08 ----1011|----00--
stimmap dbb2_08 ----1001|----00--
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----1001|----00--
stimmap dbb2_08 ----0001|----00--
stimmap dbb2_08 ----1101|----00--
stimmap dbb2_08 ----0101|----00--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----0011|----11--
stimmap dbb2_08 ----0111|----11--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----1011|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----0001|----11--
stimmap dbb2_08 ----0101|----11--
stimmap dbb2_08 ----1101|----11--

stimmap dbb2_08 ----1111|----00--
stimmap dbb2_08 ----1101|----00--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1011|----00--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1011|----11--
stimmap dbb2_08 ----1111|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1011|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1101|----11--
stimmap dbb2_08 ----1001|----11--
stimmap dbb2_08 ----1101|----11--
```

4.6.2 Binäre Simulation

1	----0001 -> XX00XX00 -----	24	----1111 -> XX001000 ----00-- ^
2	----0000 -> XX000000 ----00--	25	----1101 -> XX001000 ----00-- ^
3	----0001 -> XX000000 ----00--	26	----1111 -> XX000100 ----11-- ^
4	----0101 -> XX000000 ----00--	27	----1101 -> XX000100 ----11-- ^
5	----0111 -> XX000000 ----00--	28	----1001 -> XX000100 ----11-- ^
6	----1111 -> XX000000 ----00--	29	----1011 -> XX001000 ----00-- ^
7	----0111 -> XX000000 ----00--	30	----1001 -> XX001000 ----00-- ^
8	----0011 -> XX000000 ----00--	31	----1011 -> XX001100 ----11-- ^
9	----1011 -> XX000000 ----00--	32	----1111 -> XX001100 ----11--
10	----1001 -> XX000000 ----00--	33	----1101 -> XX001100 ----11--
11	----0001 -> XX000000 ----00--	34	----0101 -> XX001100 ----11--
12	----1001 -> XX000000 ----00--	35	----0111 -> XX000000 ----00--
13	----1101 -> XX000000 ----00--	36	----1111 -> XX000000 ----00--
14	----0101 -> XX000000 ----00--	37	----1011 -> XX000000 ----00--
15	----0111 -> XX000100 ----11-- ^	38	----1001 -> XX000000 ----00--
16	----0011 -> XX000100 ----11-- ^	39	----0001 -> XX000000 ----00--
17	----0111 -> XX000100 ----11-- ^	40	----0011 -> XX000100 ----11-- ^
18	----1111 -> XX000100 ----11-- ^	41	----1011 -> XX000100 ----11-- ^
19	----1011 -> XX000100 ----11-- ^	42	----1001 -> XX000100 ----11-- ^
20	----1001 -> XX000100 ----11-- ^	43	----1101 -> XX000100 ----11-- ^
21	----0001 -> XX000100 ----11-- ^	44	----1001 -> XX000100 ----11-- ^
22	----0101 -> XX000100 ----11-- ^	45	----0001 -> XX000100 ----11-- ^
23	----1101 -> XX000100 ----11-- ^	46	----0011 -> XX000000 ----00--

4.6.3 Ternäre Stimulusfolge

```

stimmap dbb2_08 ---0001|-----
stimmap dbb2_08 ---000X|-----
stimmap dbb2_08 ---0000|----00--
stimmap dbb2_08 ---000X|-----
stimmap dbb2_08 ---0001|----00--
stimmap dbb2_08 ---0X01|----00--
stimmap dbb2_08 ---0101|----00--
stimmap dbb2_08 ---0111|----00--
stimmap dbb2_08 ---X111|----00--
stimmap dbb2_08 ---X111|----00--
stimmap dbb2_08 ---0111|----00--
stimmap dbb2_08 ---0111|----00--
stimmap dbb2_08 ---X111|----00--
stimmap dbb2_08 ---0111|----00--
stimmap dbb2_08 ---0011|----00--
stimmap dbb2_08 ---X011|----00--
stimmap dbb2_08 ---1011|----00--
stimmap dbb2_08 ---1001|----00--
stimmap dbb2_08 ---X001|----00--
stimmap dbb2_08 ---0001|----00--
stimmap dbb2_08 ---X001|----00--
stimmap dbb2_08 ---1001|----00--
stimmap dbb2_08 ---1X01|----00--
stimmap dbb2_08 ---1101|----00--
stimmap dbb2_08 ---1101|----00--
stimmap dbb2_08 ---1X01|----00--
stimmap dbb2_08 ---0101|----00--
stimmap dbb2_08 ---0111|----11--
stimmap dbb2_08 ---0X11|----11--
stimmap dbb2_08 ---0011|----11--
stimmap dbb2_08 ---0X11|----11--
stimmap dbb2_08 ---0111|----11--
stimmap dbb2_08 ---X111|----11--
stimmap dbb2_08 ---1111|----11--
stimmap dbb2_08 ---1X11|----11--
stimmap dbb2_08 ---1011|----11--
stimmap dbb2_08 ---1001|----11--
stimmap dbb2_08 ---X001|----11--
stimmap dbb2_08 ---0001|----11--
stimmap dbb2_08 ---0001|----11--

```

```

stimmap dbb2_08 ---0X01|----11--
stimmap dbb2_08 ---0101|----11--
stimmap dbb2_08 ---X101|----11--
stimmap dbb2_08 ---1101|----11--
stimmap dbb2_08 ---1111|----00--
stimmap dbb2_08 ---1101|----00--
stimmap dbb2_08 ---1111|----11--
stimmap dbb2_08 ---1101|----11--
stimmap dbb2_08 ---1X01|----11--
stimmap dbb2_08 ---1001|----11--
stimmap dbb2_08 ---1011|----00--
stimmap dbb2_08 ---1001|----00--
stimmap dbb2_08 ---1011|----11--
stimmap dbb2_08 ---1X11|----11--
stimmap dbb2_08 ---1111|----11--
stimmap dbb2_08 ---1101|----11--
stimmap dbb2_08 ---X101|----11--
stimmap dbb2_08 ---0101|----11--
stimmap dbb2_08 ---0111|----00--
stimmap dbb2_08 ---X111|----00--
stimmap dbb2_08 ---1111|----00--
stimmap dbb2_08 ---1X11|----00--
stimmap dbb2_08 ---1011|----00--
stimmap dbb2_08 ---1001|----00--
stimmap dbb2_08 ---X001|----00--
stimmap dbb2_08 ---0001|----00--
stimmap dbb2_08 ---0011|----11--
stimmap dbb2_08 ---0011|----11--
stimmap dbb2_08 ---X011|----11--
stimmap dbb2_08 ---1011|----11--
stimmap dbb2_08 ---1001|----11--
stimmap dbb2_08 ---1X01|----11--
stimmap dbb2_08 ---1001|----11--
stimmap dbb2_08 ---1X01|----11--
stimmap dbb2_08 ---1001|----11--
stimmap dbb2_08 ---X001|----11--
stimmap dbb2_08 ---0001|----11--
stimmap dbb2_08 ---0011|----00--

```

4.6.4 Ternäre Simulation

```

1 ---0001 -> XX00XX00
          -----
2 ---000X -> XX00XX00
          -----
3 ---0000 -> XX000000
          ----00--
4 ---000X -> XX000000
          -----
5 ---0001 -> XX000000
          ----00--
6 ---0X01 -> XX000000
          ----00--
7 ---0101 -> XX000000
          ----00--
8 ---0111 -> XX000000
          ----00--
9 ---X111 -> XX000000
          ----00--
10 ---1111 -> XX000000
          ----00--

```

```

11 ---X111 -> XX000000
          ----00--
12 ---0111 -> XX000000
          ----00--
13 ---0X11 -> XX000000
          ----00--
14 ---0011 -> XX000000
          ----00--
15 ---X011 -> XX000000
          ----00--
16 ---1011 -> XX000000
          ----00--
17 ---1001 -> XX000000
          ----00--
18 ---X001 -> XX000000
          ----00--
19 ---0001 -> XX000000
          ----00--
20 ---X001 -> XX000000
          ----00--

```

21	----	1001	->	XX000000		46	----	1X01	->	XX000100	
				----	00--					----	11--
											^
22	----	1X01	->	XX000000		47	----	1001	->	XX000100	
				----	00--					----	11--
											^
23	----	1101	->	XX000000		48	----	1011	->	XX001000	
				----	00--					----	00--
											^
24	----	X101	->	XX000000		49	----	1001	->	XX001000	
				----	00--					----	00--
											^
25	----	0101	->	XX000000		50	----	1011	->	XX001100	
				----	00--					----	11--
											^
26	----	0111	->	XX000100		51	----	1X11	->	XX001100	
				----	11--					----	11--
											^
27	----	0X11	->	XX000100		52	----	1111	->	XX001100	
				----	11--					----	11--
											^
28	----	0011	->	XX000100		53	----	1101	->	XX001100	
				----	11--					----	11--
											^
29	----	0X11	->	XX000100		54	----	X101	->	XX001100	
				----	11--					----	11--
											^
30	----	0111	->	XX000100		55	----	0101	->	XX001100	
				----	11--					----	11--
											^
31	----	X111	->	XX000100		56	----	0111	->	XX000000	
				----	11--					----	00--
											^
32	----	1111	->	XX000100		57	----	X111	->	XX000000	
				----	11--					----	00--
											^
33	----	1X11	->	XX000100		58	----	1111	->	XX000000	
				----	11--					----	00--
											^
34	----	1011	->	XX000100		59	----	1X11	->	XX000000	
				----	11--					----	00--
											^
35	----	1001	->	XX000100		60	----	1011	->	XX000000	
				----	11--					----	00--
											^
36	----	X001	->	XX000100		61	----	1001	->	XX000000	
				----	11--					----	00--
											^
37	----	0001	->	XX000100		62	----	X001	->	XX000000	
				----	11--					----	00--
											^
38	----	0X01	->	XX000100		63	----	0001	->	XX000000	
				----	11--					----	00--
											^
39	----	0101	->	XX000100		64	----	0011	->	XX000100	
				----	11--					----	11--
											^
40	----	X101	->	XX000100		65	----	X011	->	XX000100	
				----	11--					----	11--
											^
41	----	1101	->	XX000100		66	----	1011	->	XX000100	
				----	11--					----	11--
											^
42	----	1111	->	XX001000		67	----	1001	->	XX000100	
				----	00--					----	11--
											^
43	----	1101	->	XX001000		68	----	1X01	->	XX000100	
				----	00--					----	11--
											^
44	----	1111	->	XX000100		69	----	1101	->	XX000100	
				----	11--					----	11--
											^
45	----	1101	->	XX000100		70	----	1X01	->	XX000100	
				----	11--					----	11--
											^

```

71 ----1001 -> XX000100
                ----11--
                ^
72 ----X001 -> XX000100
                ----11--
                ^
73 ----0001 -> XX000100
                ----11--
                ^
74 ----0011 -> XX000000
                ----00--

```

4.7 Verdrahtung

4.7.1 statische D-Flipflops

Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'04-1	1	X	20	NOT 1	C
	3	'04-1	2	NOT 2	NOT 1
	5	'04-1	4	NOT 3	NOT 2
	9	'50	8	NOT 4	AND-OR-INVERTER 1
'04-2	1	X	20	NOT 5	C
	3	'04-2	2	NOT 6	NOT 5
	5	'04-2	4	NOT 7	NOT 6
	9	'04-2	6	NOT 8	NOT 7
	11	'50	6	NOT 9	AND-OR-INVERTER 2
'50	1	'04-1	8	AND-OR-INVERTER 1	NOT 4
	13	'04-1	6		NOT 3
	9	'04-1	1		C
	10	X	19		D
	2	'04-2	10	AND-OR-INVERTER 2	NOT 9
	3	'04-2	2		NOT 5
	4	'04-2	8		NOT 8
	5	'50	10		D
Z	20	'04-1	8	Q1	NOT 4
Z	19	'04-2	10	Q2	NOT 9

4.7.2 Flipflop-Substitution

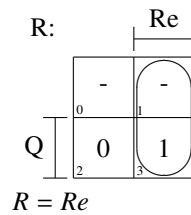
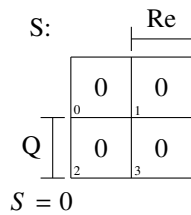
Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'00-1	1	X	15	NAND 1	K
	2	'00-1	1		K
	4	'74	5	NAND 2	Q
	5	'00-1	3		NAND 1
	9	X	16	NAND 3	J
	10	'74	6		\bar{Q}
	12	'00-1	6	D/NAND 4	NAND 2
	13	'00-1	8		NAND 3
'74	2	'00-1	11	D-FF	D/NAND 4
	3	X	14	D-FF	C
	1	X	13	D-FF	R
'00-2	1	X	14	NAND 5	C
	2	'00-2	1		C
'72	3	X	16	D-FF	J
	12	'00-2	3		NAND 5
	9	X	15		K
	2	X	13		R
Z	16	'74	5	Q1	
Z	15	'72	8	Q2	

5 Versuch Sequ2

5.1 RS-Realisierbare Funktionen

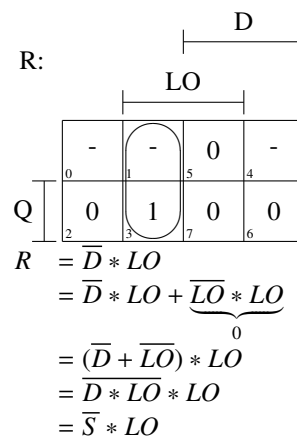
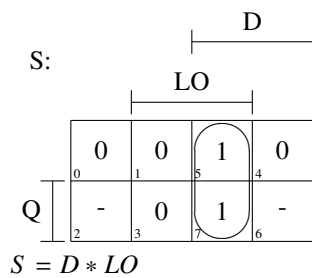
5.1.1 Rücksetzen in den Zustand 00

Re	Q	Q'	S	R
0	0	0	0	-
0	1	1	-	0
1	0	0	0	-
1	1	0	0	1



5.1.2 Laden einer 2-Bit-Zahl

LO	D	Q	Q'	S	R
0	0	0	0	0	-
0	0	1	1	-	0
0	1	0	0	0	-
0	1	1	1	-	0
1	0	0	0	0	-
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	-	0



5.1.3 Superposition

$$S_i = D_i * LO + 0 = D_i * LO \Rightarrow \overline{S_i} = \overline{D_i * LO}$$

$$R_i = \overline{S_i} * LO + Re \Rightarrow \overline{R_i} = \overline{\overline{S_i} * LO * Re}$$

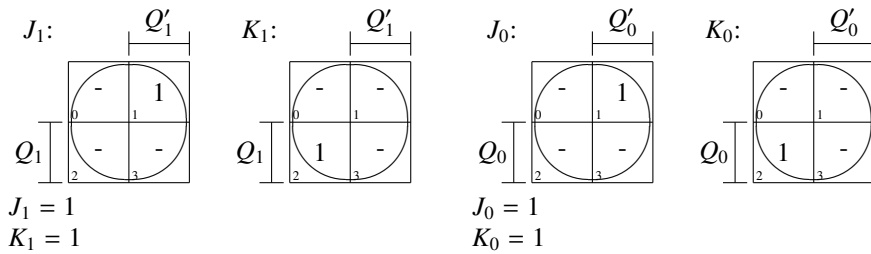
5.2 JK-Realisierbare Funktionen

5.2.1 Vorwärtszählen

$$\begin{array}{l} J_0 = 1 \\ K_0 = 1 \end{array} \qquad \begin{array}{l} J_1 = Q_0 \\ K_1 = Q_0 \end{array}$$

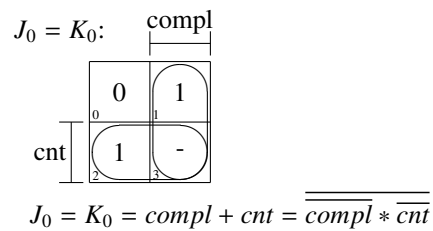
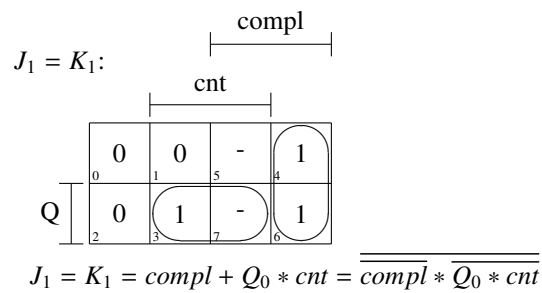
5.2.2 Einerkomplement

Q_1	Q_0	Q'_1	Q'_0	J_1	K_1	J_0	K_0
0	0	1	1	1	-	1	-
0	1	1	0	1	-	-	1
1	0	0	1	-	1	1	-
1	1	0	0	-	1	-	1

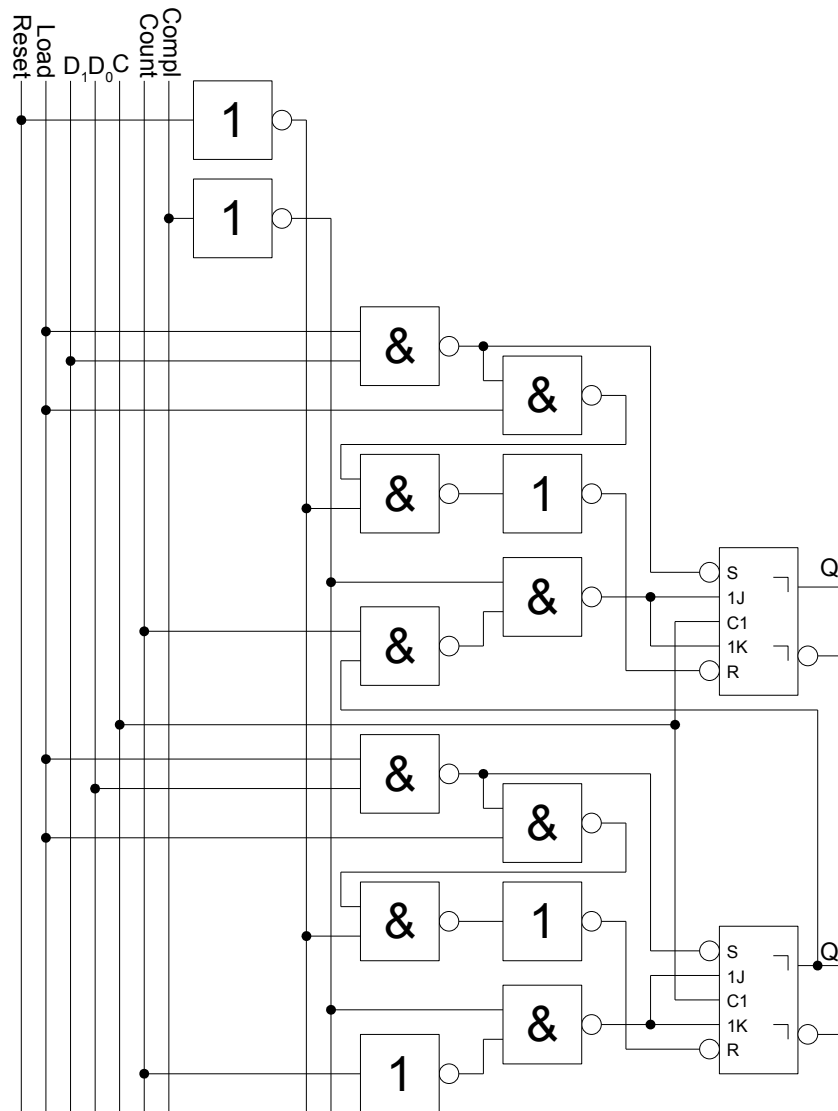


5.2.3 Superposition

Funktion	cnt	compl	J_1	K_1	J_0	K_0
keine	0	0	0	0	0	0
zählen	1	0	Q_0	Q_0	1	1
Komplement	0	1	1	1	1	1



5.2.4 Schaltung



5.3 VHDL

```
library ieee;
use ieee.std_logic_1164.all;
use work.pack_2.all;

entity uut is
    port (x_fghij : in X01_vector(20 downto 13);
          z_abcde : out X01_vector(20 downto 13));
end uut;
```

```

architecture structure of uut is
  component sn7400 -- 2er-nand
    port (x : in X01_vector (1 to 2);
          y : out X01);
  end component;
  component sn7404 is -- not
    port (x : in X01; y : out X01);
  end component;
  component sn7472 is -- JK-MS-Flipflop
    port (s_b,r_b,c : in X01; j,k : in X01_vector(1 to 3); q,q_b : out X01);
  end component;

  alias c : x01 is x_fghij(15);
  alias reset : x01 is x_fghij(20);
  alias load : x01 is x_fghij(19);
  alias d1 : x01 is x_fghij(18);
  alias d0 : x01 is x_fghij(17);
  alias count : x01 is x_fghij(14);
  alias compl : x01 is x_fghij(13);

  alias q1: x01 is z_abcde(20); -- ff1 ergebnis
  alias q0: x01 is z_abcde(19); -- ff0 ergebnis

  signal nreset, ncompl, ncount: X01; -- not reset, not compl, not count
  signal ns1, ns0 : X01; -- ergebnis für stat. s eingänge
  signal nr1, nr0 : X01; -- ergebnis für stat. r eingänge
  signal r1, r0 : X01; -- zwischenergebnis für stat. r eingänge
  signal jk1, jk0 : X01; -- zwischenergebnis für dyn. jk-eingänge
  signal sig11, sig12 : X01; -- zwischenerg. für 1. ff (Q1)
  signal sig01, sig02 : X01; -- zwischenerg. für 2. ff (Q0)
  signal z_q0 : X01; -- ergebnis 2. ff (Q0)
begin
  -- not: reset, compl => nreset, ncompl
  b11: sn7404 port map (x=>reset, y=>nreset);
  b12: sn7404 port map (x=>compl, y=>ncompl);

  -- not s1 <= load nand d1
  b13: sn7400 port map (x(1)=>load, x(2)=>d1, y=>ns1);

  -- not r1 <= not ((ns1 nand load) nand nreset)
  b14: sn7400 port map (x(1)=>ns1, x(2)=>load, y=>sig11);
  b15: sn7400 port map (x(1)=>sig11, x(2)=>nreset, y=>r1);
  b16: sn7404 port map (x=>r1, y=>nr1);

  -- j1=k1 <= (count nand q0) nand ncompl
  b17: sn7400 port map (x(1)=>count, x(2)=>z_q0, y=>sig12);
  b18: sn7400 port map (x(1)=>sig12, x(2)=>ncompl, y=>jk1);

  -- not s0 <= load nand d0

```



```

b21: sn7400 port map (x(1)=>load, x(2)=>d0, y=>ns0);

-- not r0 <= not ((ns0 nand load) nand nreset)
b22: sn7400 port map (x(1)=>ns0, x(2)=>load, y=>sig01);
b23: sn7400 port map (x(1)=>sig01, x(2)=>nreset, y=>r0);
b24: sn7404 port map (x=>r0, y=>nr0);

-- j0=k0 <= (not count nand ncompl)
b25: sn7404 port map (x=>count, y=>ncount);
b26: sn7400 port map (x(1)=>ncount, x(2)=>ncompl, y=>jk0);

-- 1. ff (q1)
ff1: sn7472 port map (s_b=>ns1, r_b=>nr1, c=>c,
                    j(1)=>jk1, j(2)=>'1', j(3)=>'1',
                    k(1)=>jk1, k(2)=>'1', k(3)=>'1',
                    q=>q1);

-- 2. ff (q0)
ff2: sn7472 port map (s_b=>ns0, r_b=>nr0, c=>c,
                    j(1)=>jk0, j(2)=>'1', j(3)=>'1',
                    k(1)=>jk0, k(2)=>'1', k(3)=>'1',
                    q=>z_q0);

q0 <= z_q0;
end structure;

```

5.4 Simulation

5.4.1 Binäre Stimulusfolge

```

stimmap dbb2_08 0000-000|XX-----
stimmap dbb2_08 1000-000|00-----
stimmap dbb2_08 0000-000|00-----
stimmap dbb2_08 0000-010|00-----
stimmap dbb2_08 0000-110|00-----
stimmap dbb2_08 0000-010|01-----
stimmap dbb2_08 0000-110|01-----
stimmap dbb2_08 0000-010|10-----
stimmap dbb2_08 0000-110|10-----
stimmap dbb2_08 0000-010|11-----
stimmap dbb2_08 0000-110|11-----
stimmap dbb2_08 0000-010|00-----
stimmap dbb2_08 0000-000|00-----
stimmap dbb2_08 0000-001|00-----
stimmap dbb2_08 0000-101|00-----
stimmap dbb2_08 0000-001|11-----
stimmap dbb2_08 0000-101|11-----
stimmap dbb2_08 0000-001|00-----
stimmap dbb2_08 0000-000|00-----

stimmap dbb2_08 0010-000|00-----
stimmap dbb2_08 0110-000|10-----
stimmap dbb2_08 0010-000|10-----
stimmap dbb2_08 0000-000|10-----
stimmap dbb2_08 0000-001|10-----
stimmap dbb2_08 0000-101|10-----
stimmap dbb2_08 0000-001|01-----
stimmap dbb2_08 0000-101|01-----
stimmap dbb2_08 0000-001|10-----
stimmap dbb2_08 0000-000|10-----
stimmap dbb2_08 0001-000|10-----
stimmap dbb2_08 0101-000|01-----
stimmap dbb2_08 0001-000|01-----
stimmap dbb2_08 0000-000|01-----
stimmap dbb2_08 0100-000|00-----
stimmap dbb2_08 0000-000|00-----
stimmap dbb2_08 0001-000|00-----
stimmap dbb2_08 0011-000|00-----
stimmap dbb2_08 0111-000|11-----

```

5.4.2 Binäre Simulation

1	0000-000	->	XX000000	20	0010-000	->	00000000
			XX-----				00-----
2	1000-000	->	00000000	21	0110-000	->	10000000
			00-----				10-----
3	0000-000	->	00000000	22	0010-000	->	10000000
			00-----				10-----
4	0000-010	->	00000000	23	0000-000	->	10000000
			00-----				10-----
5	0000-110	->	00000000	24	0000-001	->	10000000
			00-----				10-----
6	0000-010	->	01000000	25	0000-101	->	10000000
			01-----				10-----
7	0000-110	->	01000000	26	0000-001	->	01000000
			01-----				01-----
8	0000-010	->	10000000	27	0000-101	->	01000000
			10-----				01-----
9	0000-110	->	10000000	28	0000-001	->	10000000
			10-----				10-----
10	0000-010	->	11000000	29	0000-000	->	10000000
			11-----				10-----
11	0000-110	->	11000000	30	0001-000	->	10000000
			11-----				10-----
12	0000-010	->	00000000	31	0101-000	->	01000000
			00-----				01-----
13	0000-000	->	00000000	32	0001-000	->	01000000
			00-----				01-----
14	0000-001	->	00000000	33	0000-000	->	01000000
			00-----				01-----
15	0000-101	->	00000000	34	0100-000	->	00000000
			00-----				00-----
16	0000-001	->	11000000	35	0000-000	->	00000000
			11-----				00-----
17	0000-101	->	11000000	36	0001-000	->	00000000
			11-----				00-----
18	0000-001	->	00000000	37	0011-000	->	00000000
			00-----				00-----
19	0000-000	->	00000000	38	0111-000	->	11000000
			00-----				11-----

5.4.3 Ternäre Stimulusfolge

stimmap	dbb2_08	0000-000	XX-----	stimmap	dbb2_08	0110-000	10-----
stimmap	dbb2_08	1000-000	00-----	stimmap	dbb2_08	0010-000	10-----
stimmap	dbb2_08	X000-000	-----	stimmap	dbb2_08	00X0-000	-----
stimmap	dbb2_08	0000-000	00-----	stimmap	dbb2_08	0000-000	10-----
stimmap	dbb2_08	0000-0X0	-----	stimmap	dbb2_08	0000-00X	-----
stimmap	dbb2_08	0000-010	00-----	stimmap	dbb2_08	0000-001	10-----
stimmap	dbb2_08	0000-110	00-----	stimmap	dbb2_08	0000-101	10-----
stimmap	dbb2_08	0000-010	01-----	stimmap	dbb2_08	0000-001	01-----
stimmap	dbb2_08	0000-110	01-----	stimmap	dbb2_08	0000-101	01-----
stimmap	dbb2_08	0000-010	10-----	stimmap	dbb2_08	0000-001	10-----
stimmap	dbb2_08	0000-110	10-----	stimmap	dbb2_08	0000-00X	-----
stimmap	dbb2_08	0000-010	11-----	stimmap	dbb2_08	0000-000	10-----
stimmap	dbb2_08	0000-110	11-----	stimmap	dbb2_08	000X-000	-----
stimmap	dbb2_08	0000-010	00-----	stimmap	dbb2_08	0001-000	10-----
stimmap	dbb2_08	0000-0X0	-----	stimmap	dbb2_08	0101-000	01-----
stimmap	dbb2_08	0000-000	00-----	stimmap	dbb2_08	0001-000	01-----
stimmap	dbb2_08	0000-00X	-----	stimmap	dbb2_08	000X-000	-----
stimmap	dbb2_08	0000-001	00-----	stimmap	dbb2_08	0000-000	01-----
stimmap	dbb2_08	0000-101	00-----	stimmap	dbb2_08	0100-000	00-----
stimmap	dbb2_08	0000-001	11-----	stimmap	dbb2_08	0000-000	00-----
stimmap	dbb2_08	0000-101	11-----	stimmap	dbb2_08	000X-000	-----
stimmap	dbb2_08	0000-001	00-----	stimmap	dbb2_08	0001-000	00-----
stimmap	dbb2_08	0000-00X	-----	stimmap	dbb2_08	00X0-000	-----
stimmap	dbb2_08	0000-000	00-----	stimmap	dbb2_08	0011-000	00-----
stimmap	dbb2_08	00X0-000	-----	stimmap	dbb2_08	0111-000	11-----
stimmap	dbb2_08	0010-000	00-----				

5.4.4 Ternäre Simulation

1	0000-000	->	XX000000	26	0010-000	->	00000000
			XX-----				00-----
2	1000-000	->	00000000	27	0110-000	->	10000000
			00-----				10-----
3	X000-000	->	00000000	28	0010-000	->	10000000
			-----				10-----
4	0000-000	->	00000000	29	00X0-000	->	10000000
			00-----				-----
5	0000-0X0	->	00000000	30	0000-000	->	10000000
			-----				10-----
6	0000-010	->	00000000	31	0000-00X	->	10000000
			00-----				-----
7	0000-110	->	00000000	32	0000-001	->	10000000
			00-----				10-----
8	0000-010	->	01000000	33	0000-101	->	10000000
			01-----				10-----
9	0000-110	->	01000000	34	0000-001	->	01000000
			01-----				01-----
10	0000-010	->	10000000	35	0000-101	->	01000000
			10-----				01-----
11	0000-110	->	10000000	36	0000-001	->	10000000
			10-----				10-----
12	0000-010	->	11000000	37	0000-00X	->	10000000
			11-----				-----
13	0000-110	->	11000000	38	0000-000	->	10000000
			11-----				10-----
14	0000-010	->	00000000	39	000X-000	->	10000000
			00-----				-----
15	0000-0X0	->	00000000	40	0001-000	->	10000000
			-----				10-----
16	0000-000	->	00000000	41	0101-000	->	01000000
			00-----				01-----
17	0000-00X	->	00000000	42	0001-000	->	01000000
			-----				01-----
18	0000-001	->	00000000	43	000X-000	->	01000000
			00-----				-----
19	0000-101	->	00000000	44	0000-000	->	01000000
			00-----				01-----
20	0000-001	->	11000000	45	0100-000	->	00000000
			11-----				00-----
21	0000-101	->	11000000	46	0000-000	->	00000000
			11-----				00-----
22	0000-001	->	00000000	47	000X-000	->	00000000
			00-----				-----
23	0000-00X	->	00000000	48	0001-000	->	00000000
			-----				00-----
24	0000-000	->	00000000	49	00X0-000	->	00000000
			00-----				-----
25	00X0-000	->	00000000	50	0011-000	->	00000000
			-----				00-----
				51	0111-000	->	11000000
							11-----

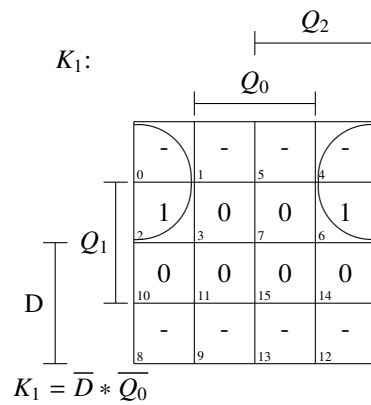
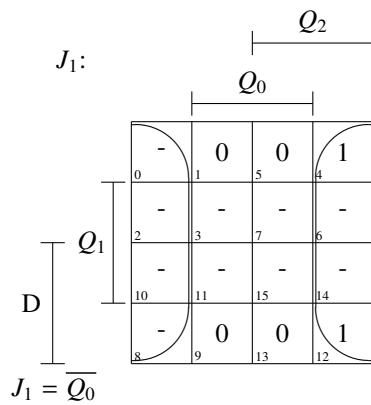
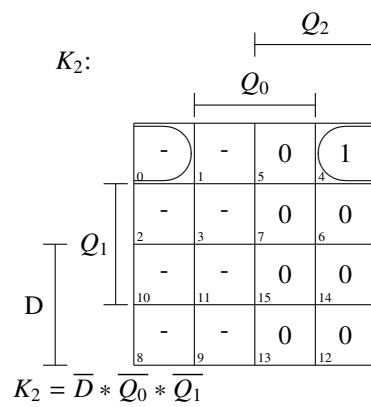
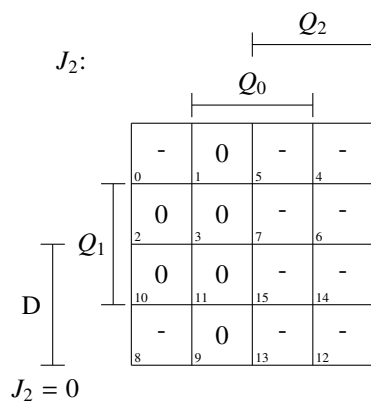
5.5 Verdrahtung

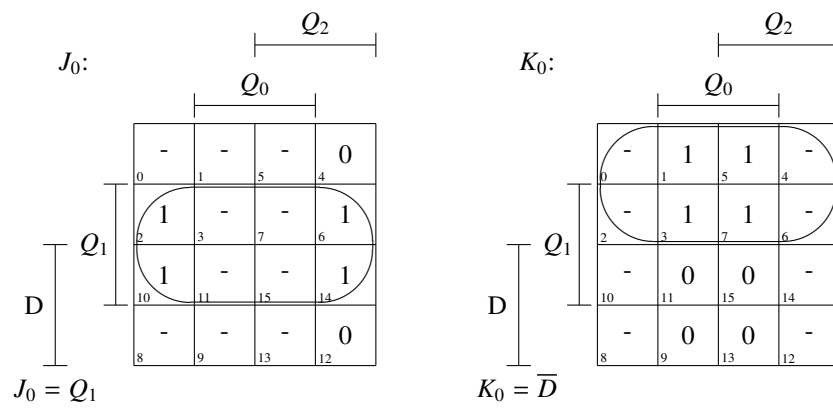
Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'04	1	X	20	NOT 1	Reset
	3	X	13	NOT 2	Compl
	5	'00-1	8	NOT 3	NAND 3
	9	'00-2	11	NOT 4	NAND 8
	11	X	14	NOT 5	Count
'00-1	1	X	19	NAND 1	Load
	2	X	18		D_1
	4	'00-1	3	NAND 2	NAND 1
	5	'00-1	1		Load
	9	'00-1	6	NAND 3	NAND 2
	10	'04	2		NOT 1
	12	'04	4	NAND 4	NOT 2
'00-2	13	'00-2	3		NAND 5
	1	'04	11	NAND 5	Count
	2	'72-2	8		Q_0
	4	'00-1	5	NAND 6	Load
	5	X	17		D_0
	9	'00-2	6	NAND 7	NAND 6
	10	'00-2	4		Load
'00-3	12	'00-2	8	NAND 8	NAND 7
	13	'00-1	10		NOT 1
	1	'00-1	12	NAND 9	NOT 2
	2	'04	10		NOT 5
'72-1	13	'00-1	3	/S	NAND 1
	3	'00-1	11	J	NAND 4
	12	X	15	C	C
	9	'72-1	3	K	NAND 4
	2	'04	6	/R	NOT 3
'72-2	13	'00-2	6	/S	NAND 6
	3	'00-3	3	J	NAND 9
	12	'72-1	12	C	C
	9	'72-2	3	K	NAND 9
	2	'04	8	/R	NOT 4
Z	20	'72-1	8	Q_1	FF1
	19	'72-2	8	Q_0	FF0

6 Versuch Sequ3

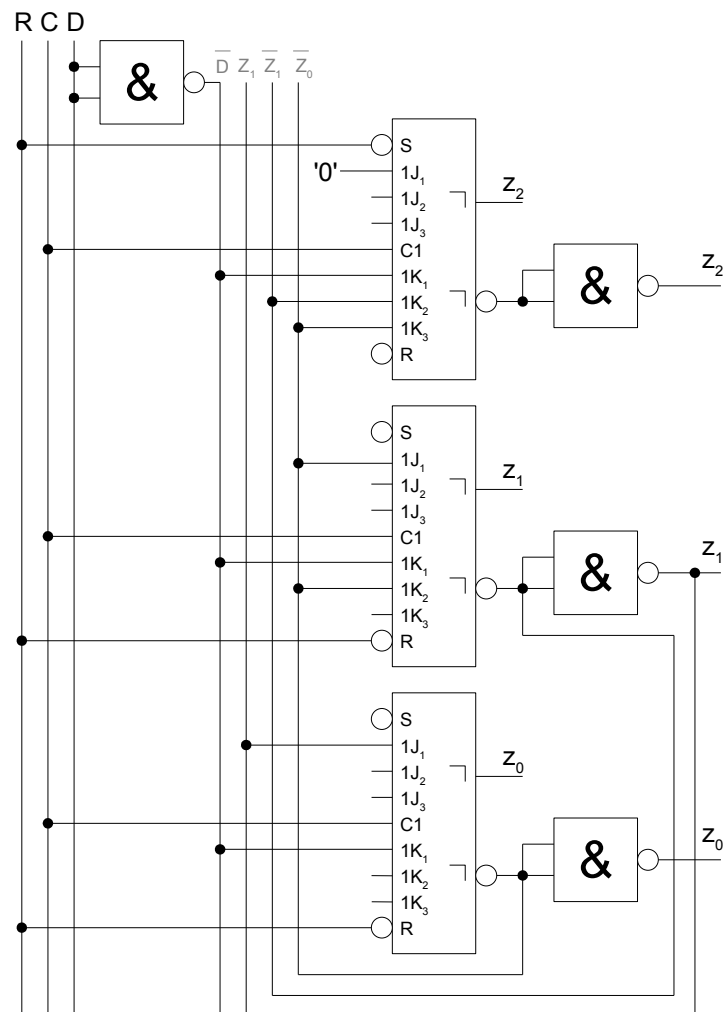
6.1 SAR

D	Q_2	Q_1	Q_0	Q_2'	Q_1'	Q_0'	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	-	-	-	-	-	-	-	-	-
0	0	0	1	0	0	0	0	-	0	-	-	1
0	0	1	0	0	0	1	0	-	-	1	1	-
0	0	1	1	0	1	0	0	-	-	0	-	1
0	1	0	0	0	1	0	-	1	1	-	0	-
0	1	0	1	1	0	0	-	0	0	-	-	1
0	1	1	0	1	0	1	-	0	-	1	1	-
0	1	1	1	1	1	0	-	0	-	0	-	1
1	0	0	0	-	-	-	-	-	-	-	-	-
1	0	0	1	0	0	1	0	-	0	-	-	0
1	0	1	0	0	1	1	0	-	-	0	1	-
1	0	1	1	0	1	1	0	-	-	0	-	0
1	1	0	0	1	1	0	-	0	1	-	0	-
1	1	0	1	1	0	1	-	0	0	-	-	0
1	1	1	0	1	1	1	-	0	-	0	1	-
1	1	1	1	1	1	1	-	0	-	0	-	0





6.2 Schaltung



6.3 VHDL

```
library ieee;
use ieee.std_logic_1164.all;
use work.pack_2.all;

entity uut is
  port (x_fghij : in X01_vector(20 downto 13);
        z_abcde : out X01_vector(20 downto 13));
end uut;

architecture structure of uut is
  component sn7400 is -- 1/4 SN7400
    port (x : in X01_vector (1 to 2); y : out X01);
  end component;
  component sn7472 is -- SN7472
    port (s_b,r_b,c : in X01; j,k : in X01_vector(1 to 3); q,q_b : out X01);
  end component;

  alias r : X01 is x_fghij(20);
  alias c : X01 is x_fghij(19);
  alias d : X01 is x_fghij(18);
  alias z2 : X01 is z_abcde(20);
  alias z1 : X01 is z_abcde(19);
  alias z0 : X01 is z_abcde(18);
  signal nd : X01; -- nicht d
  signal q2, q1, q0, nq2, nq1, nq0 : X01;
begin
  not1: sn7400 port map(x(1)=>d, x(2)=>d, y=>nd);

  jk2:  sn7472 port map(s_b=>r, r_b=>'1', c=>c,
                      j(1)=>'0', j(2)=>'1', j(3)=>'1',
                      k(1)=>nd, k(2)=>nq1, k(3)=>nq0,
                      q=>z2, q_b=>nq2);

  jk1:  sn7472 port map(s_b=>'1', r_b=>r, c=>c,
                      j(1)=>nq0, j(2)=>'1', j(3)=>'1',
                      k(1)=>nd, k(2)=>nq0, k(3)=>'1',
                      q=>z1, q_b=>nq1);

  jk0:  sn7472 port map(s_b=>'1', r_b=>r, c=>c,
                      j(1)=>q1, j(2)=>'1', j(3)=>'1',
                      k(1)=>nd, k(2)=>'1', k(3)=>'1',
                      q=>z0, q_b=>nq0);

  not2: sn7400 port map(x(1)=>nq2, x(2)=>nq2, y=>q2);
  not3: sn7400 port map(x(1)=>nq1, x(2)=>nq1, y=>q1);
  not4: sn7400 port map(x(1)=>nq0, x(2)=>nq0, y=>q0);

end structure;
```

6.4 Simulation

6.4.1 Binäre Stimulusfolge

```
stimmap dbb2_08 000-----|100-----
stimmap dbb2_08 100-----|100-----
stimmap dbb2_08 101-----|100-----
stimmap dbb2_08 111-----|100-----
stimmap dbb2_08 101-----|110-----
stimmap dbb2_08 111-----|110-----
stimmap dbb2_08 101-----|111-----
stimmap dbb2_08 111-----|111-----
stimmap dbb2_08 101-----|111-----
stimmap dbb2_08 100-----|111-----
stimmap dbb2_08 110-----|111-----
stimmap dbb2_08 100-----|110-----
stimmap dbb2_08 110-----|110-----
stimmap dbb2_08 100-----|101-----
stimmap dbb2_08 101-----|101-----
stimmap dbb2_08 111-----|101-----
stimmap dbb2_08 101-----|101-----
stimmap dbb2_08 100-----|101-----
stimmap dbb2_08 110-----|101-----
```

```
stimmap dbb2_08 100-----|100-----
stimmap dbb2_08 110-----|100-----
stimmap dbb2_08 100-----|010-----
stimmap dbb2_08 101-----|010-----
stimmap dbb2_08 111-----|010-----
stimmap dbb2_08 101-----|011-----
stimmap dbb2_08 111-----|011-----
stimmap dbb2_08 101-----|011-----
stimmap dbb2_08 100-----|011-----
stimmap dbb2_08 110-----|011-----
stimmap dbb2_08 100-----|010-----
stimmap dbb2_08 110-----|010-----
stimmap dbb2_08 100-----|001-----
stimmap dbb2_08 101-----|001-----
stimmap dbb2_08 111-----|001-----
stimmap dbb2_08 101-----|001-----
stimmap dbb2_08 100-----|001-----
stimmap dbb2_08 110-----|001-----
stimmap dbb2_08 100-----|000-----
```

6.4.2 Binäre Simulation

```
1 000----- -> 10000000
                    100-----
2 100----- -> 10000000
                    100-----
3 101----- -> 10000000
                    100-----
4 111----- -> 10000000
                    100-----
5 101----- -> 11000000
                    110-----
6 111----- -> 11000000
                    110-----
7 101----- -> 11100000
                    111-----
8 111----- -> 11100000
                    111-----
9 101----- -> 11100000
                    111-----
10 100----- -> 11100000
                    111-----
11 110----- -> 11100000
                    111-----
12 100----- -> 11000000
                    110-----
13 110----- -> 11000000
                    110-----
14 100----- -> 10100000
                    101-----
15 101----- -> 10100000
                    101-----
16 111----- -> 10100000
                    101-----
17 101----- -> 10100000
                    101-----
18 100----- -> 10100000
                    101-----
19 110----- -> 10100000
                    101-----
```

```
20 100----- -> 10000000
                    100-----
21 110----- -> 10000000
                    100-----
22 100----- -> 01000000
                    010-----
23 101----- -> 01000000
                    010-----
24 111----- -> 01000000
                    010-----
25 101----- -> 01100000
                    011-----
26 111----- -> 01100000
                    011-----
27 101----- -> 01100000
                    011-----
28 100----- -> 01100000
                    011-----
29 110----- -> 01100000
                    011-----
30 100----- -> 01000000
                    010-----
31 110----- -> 01000000
                    010-----
32 100----- -> 00100000
                    001-----
33 101----- -> 00100000
                    001-----
34 111----- -> 00100000
                    001-----
35 101----- -> 00100000
                    001-----
36 100----- -> 00100000
                    001-----
37 110----- -> 00100000
                    001-----
38 100----- -> 00000000
                    000-----
```


6.4.3 Ternäre Stimulusfolge

```

stimmap dbb2_08 000-----|100-----
stimmap dbb2_08 X00-----|-----
stimmap dbb2_08 100-----|100-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 101-----|100-----
stimmap dbb2_08 111-----|100-----
stimmap dbb2_08 101-----|110-----
stimmap dbb2_08 111-----|110-----
stimmap dbb2_08 101-----|111-----
stimmap dbb2_08 111-----|111-----
stimmap dbb2_08 101-----|111-----
stimmap dbb2_08 101-----|111-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 100-----|111-----
stimmap dbb2_08 110-----|111-----
stimmap dbb2_08 100-----|110-----
stimmap dbb2_08 110-----|110-----
stimmap dbb2_08 100-----|101-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 101-----|101-----
stimmap dbb2_08 111-----|101-----
stimmap dbb2_08 101-----|101-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 100-----|101-----
stimmap dbb2_08 110-----|101-----

```

```

stimmap dbb2_08 100-----|100-----
stimmap dbb2_08 110-----|100-----
stimmap dbb2_08 100-----|010-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 101-----|010-----
stimmap dbb2_08 111-----|010-----
stimmap dbb2_08 101-----|011-----
stimmap dbb2_08 111-----|011-----
stimmap dbb2_08 101-----|011-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 100-----|011-----
stimmap dbb2_08 110-----|011-----
stimmap dbb2_08 100-----|010-----
stimmap dbb2_08 110-----|010-----
stimmap dbb2_08 100-----|001-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 101-----|001-----
stimmap dbb2_08 111-----|001-----
stimmap dbb2_08 101-----|001-----
stimmap dbb2_08 10X-----|-----
stimmap dbb2_08 100-----|001-----
stimmap dbb2_08 110-----|001-----
stimmap dbb2_08 100-----|000-----

```

6.4.4 Ternäre Simulation

```

1 000----- -> 10000000
                100-----
2 X00----- -> 10000000
                -----
3 100----- -> 10000000
                100-----
4 10X----- -> 10000000
                -----
5 101----- -> 10000000
                100-----
6 111----- -> 10000000
                100-----
7 101----- -> 11000000
                110-----
8 111----- -> 11000000
                110-----
9 101----- -> 11100000
                111-----
10 111----- -> 11100000
                111-----
11 101----- -> 11100000
                111-----
12 10X----- -> 11100000
                -----
13 100----- -> 11100000
                111-----
14 110----- -> 11100000
                111-----
15 100----- -> 11000000
                110-----
16 110----- -> 11000000
                110-----
17 100----- -> 10100000
                101-----
18 10X----- -> 10100000
                -----
19 101----- -> 10100000
                101-----
20 111----- -> 10100000
                101-----
21 101----- -> 10100000
                101-----
22 10X----- -> 10100000
                -----

```

```

23 100----- -> 10100000
                101-----
24 110----- -> 10100000
                101-----
25 100----- -> 10000000
                100-----
26 110----- -> 10000000
                100-----
27 100----- -> 01000000
                010-----
28 10X----- -> 01000000
                -----
29 101----- -> 01000000
                010-----
30 111----- -> 01000000
                010-----
31 101----- -> 01100000
                011-----
32 111----- -> 01100000
                011-----
33 101----- -> 01100000
                011-----
34 10X----- -> 01100000
                -----
35 100----- -> 01100000
                011-----
36 110----- -> 01100000
                011-----
37 100----- -> 01000000
                010-----
38 110----- -> 01000000
                010-----
39 100----- -> 00100000
                001-----
40 10X----- -> 00100000
                -----
41 101----- -> 00100000
                001-----
42 111----- -> 00100000
                001-----
43 101----- -> 00100000
                001-----
44 10X----- -> 00100000
                -----

```

45 100----- -> 00100000
 001-----
 46 110----- -> 00100000
 001-----

47 100----- -> 00000000
 000-----

6.5 Verdrahtung

Nach		Von		Bemerkung	
IC	PIN	IC	PIN	Funktion	Ursprung
'00	1	X	18	NOT 1	D
	2	'00	1		D
	4	'72-1	6	NOT 2	$\overline{Q_2}$
	5	'00	4		$\overline{Q_2}$
	9	'72-2	6	NOT 3	$\overline{Q_1}$
	10	'00	9		$\overline{Q_1}$
	12	'72-3	6	NOT 4	$\overline{Q_0}$
'72-1	13	X	20	/S	R
	3	'0'	'0'	J1	'0'
	12	X	19	C	C
	9	'00	3	K1	\overline{D}
	10	'72-2	6	K2	$\overline{Z_1}$
	11	'72-2	3	K3	$\overline{Z_0}$
'72-2	3	'72-3	6	J1	$\overline{Z_0}$
	12	'72-1	12	C	C
	9	'72-1	9	K1	\overline{D}
	10	'72-2	3	K2	$\overline{Z_0}$
	2	'72-1	13	/R	R
'72-3	3	'00	8	J1	Z_1
	12	'72-2	12	C	C
	9	'72-2	9	K1	\overline{D}
	2	'72-2	2	/R	R
Z	20	'00	6		NOT 2
	19	'00	8		NOT 3
	18	'00	11		NOT 4
DAC	Z ₂	'72-1	8		Q ₂
	Z ₁	'72-2	8		Q ₁
	Z ₀	'72-3	8		Q ₀